

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Yoshiki YOSHIDA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: IMAGE FORMING APPARATUS, AN OPTICAL SCANNING APPARATUS AND AN IMAGE FORMING METHOD

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-054717	February 28, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

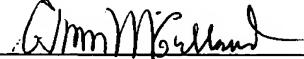
were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年 2月28日  
Date of Application:

出願番号      特願2003-054717  
Application Number:

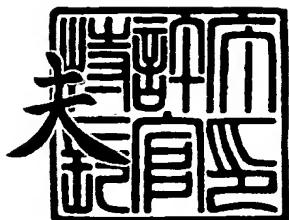
[ST. 10/C] : [JP2003-054717]

出願人      株式会社リコー  
Applicant(s):

2003年11月19日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康



【書類名】 特許願  
【整理番号】 0209092  
【提出日】 平成15年 2月28日  
【あて先】 特許庁長官殿  
【国際特許分類】 B41J 2/525  
G03G 15/01 114  
【発明の名称】 画像形成装置、光走査装置、および画像形成方法  
【請求項の数】 37  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号  
株式会社リコー内  
【氏名】 吉田 佳樹  
【特許出願人】  
【識別番号】 000006747  
【氏名又は名称】 株式会社リコー  
【代表者】 桜井 正光  
【代理人】  
【識別番号】 100084250  
【弁理士】  
【氏名又は名称】 丸山 隆夫  
【電話番号】 03-3590-8902  
【手数料の表示】  
【予納台帳番号】 007250  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0207936

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像形成装置、光走査装置、および画像形成方法

【特許請求の範囲】

【請求項 1】 2つ以上のレーザ光源からそれぞれ射出されるレーザビームを回転偏向手段により周期的に偏向させ、副走査方向に移動する被走査媒体における一様に帶電した被走査面上を、前記副走査方向と直交する主走査方向に走査して、前記被走査面上に静電潜像を形成する画像形成装置であって、

前記レーザ光源によるレーザビームの射出タイミング制御を行うための画素クロックを、それぞれ前記レーザ光源ごとに独立して生成するとともに、前記各画素クロックの位相変更を行う画素クロック生成手段と、

前記各画素クロックの位相変更をそれぞれ独立して制御する位相制御手段と、を有することを特徴とする画像形成装置。

【請求項 2】 前記位相制御手段は、

前記画素クロック生成手段により生成される各画素クロックの位相変更を制御するための制御パルス信号をそれぞれ生成し、前記画素クロック生成手段に出力し、

前記画素クロック生成手段は、

前記制御パルス信号が入力した時点で、前記画素クロックの位相変更を行うことを特徴とする請求項 1 記載の画像形成装置。

【請求項 3】 前記各制御パルス信号の発生間隔および発生数を示す設定値を、前記レーザ光源ごとに入力する入力手段を有し、

前記位相制御手段は、

前記入力手段により入力された各設定値に基づいて、前記各画素クロックの前記制御パルス信号をそれぞれ生成し、前記画素クロック生成手段へ出力することを特徴とする請求項 2 記載の画像形成装置。

【請求項 4】 前記2つ以上のレーザ光源のうちの1つの画素クロックの位相変更を行うための前記制御パルス信号の発生間隔および発生数を示す設定値を入力する入力手段と、

前記入力手段により入力された1つのレーザ光源に係る設定値に、他の前記レ

レーザ光源ごとに予め規定された値をそれぞれ加算して、前記他のレーザ光源における各前記設定値を算出する設定値算出手段とを有し、

前記位相制御手段は、

前記入力された設定値および前記算出された設定値に基づいて、前記各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする請求項2記載の画像形成装置。

**【請求項5】** 前記被走査面の主走査方向における前記静電潜像の形成領域外で前記2つ以上のレーザ光源からのレーザビームをそれぞれ検知して、前記各レーザビームの前記主走査方向の走査開始位置を規定する同期検知信号を出力する同期検知手段を有し、

前記画素クロック生成手段は、

前記同期検知信号と同期をとり、前記画素クロックを生成することを特徴とする請求項3または4記載の画像形成装置。

**【請求項6】** 前記被走査面の主走査方向における前記静電潜像の形成領域外で前記各レーザ光源からのレーザビームを検知する同期検知手段と、

前記同期検知手段の1つが前記レーザビームを検知してから、他の前記同期検知手段が前記レーザビームを検知するまでの間の走査時間を前記レーザ光源ごとに測定する走査時間測定手段と、

前記走査時間測定手段により測定された各レーザ光源による走査時間と、基準となる走査時間を示す値とをそれぞれ比較し、該比較結果に基づいて、前記各レーザ光源の画素クロックの位相を変更するための制御パルス信号の発生間隔および発生数を示す設定値を算出する走査時間比較手段とを有し、

前記位相制御手段は、

前記走査時間比較手段により算出された設定値に基づいて、前記各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする請求項2記載の画像形成装置。

**【請求項7】** 前記走査時間比較手段は、

前記測定された走査時間から前記基準となる走査時間を減算した値に前記画素クロックの周期を積算し、該積算した値を前記位相変更する時間単位で除算する

ことにより、前記制御パルス信号の発生増減数を算出することを特徴とする請求項 6 記載の画像形成装置。

**【請求項 8】** 前記被走査面の主走査方向における前記静電潜像の形成領域外で前記レーザ光源の 1 つからのレーザビームを検知する同期検知手段と、

前記同期検知手段の 1 つが前記レーザビームを検知してから、他の前記同期検知手段が前記レーザビームを検知するまでの間の走査時間を測定する走査時間測定手段と、

前記走査時間測定手段により測定された走査時間と、基準となる走査時間を示す値とを比較し、該比較結果に基づいて、前記 1 つのレーザ光源に対応する制御パルス信号の発生間隔および発生数を算出する走査時間比較手段と、

前記 1 つのレーザ光源に係る設定値に、他の前記レーザ光源ごとに予め規定された値をそれぞれ加算して、前記他のレーザ光源における各前記設定値を算出する設定値算出手段とを有し、

前記位相制御手段は、

前記算出された設定値に基づいて、前記各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする請求項 2 記載の画像形成装置。

**【請求項 9】** 前記走査時間比較手段は、

前記測定された走査時間から前記基準となる走査時間を減算した値に前記画素クロックの周期を積算し、該積算した値を前記位相変更する時間単位で除算することにより、前記制御パルス信号の発生増減数を算出することを特徴とする請求項 8 記載の画像形成装置。

**【請求項 10】** 前記同期検知手段は、

前記被走査面の主走査方向における前記静電潜像の形成領域外で前記 2 つ以上のレーザ光源からのレーザビームをそれぞれ検知して、前記各レーザビームの前記主走査方向の走査開始位置を規定する同期検知信号を出力し、

前記画素クロック生成手段は、

前記同期検知信号と同期をとり、前記画素クロックを生成することを特徴とする請求項 6 から 9 のいずれか 1 項に記載の画像形成装置。

**【請求項 11】** 前記位相制御手段は、

前記画素クロックの位相を、前記画素クロックの周期よりも短い時間単位で変更するように制御することを特徴とする請求項1から10のいずれか1項に記載の画像形成装置。

【請求項12】 前記位相制御手段は、

1走査期間ごとに、前記制御パルス信号の出力タイミングを異ならせることを特徴とする請求項1から11のいずれか1項に記載の画像形成装置。

【請求項13】 前記位相制御手段は、

1走査期間経過ごとに、一定の単位時間ずつ前記制御パルス信号の出力タイミングを変更して出力することを特徴とする請求項12記載の画像形成装置。

【請求項14】 前記位相制御手段は、

前記制御パルス信号の発生間隔と発生数との積を1走査期間から減算した値と、分母および分子ともに正の素数である分数値との積を、前記単位時間として、前記制御パルス信号の出力タイミングを変更して出力し、

前記分母の数値の回数分、変更後の前記制御パルス信号の出力タイミングと、変更前の出力タイミングとは一致することを特徴とする請求項13記載の画像形成装置。

【請求項15】 前記位相制御手段は、

前記各レーザ光源の1走査期間を分割した分割期間ごとに前記各画素クロックの位相を変更させることを特徴とする請求項1から14のいずれか1項に記載の画像形成装置。

【請求項16】 2つ以上のレーザ光源からそれぞれ射出されるレーザビームを回転偏向手段により周期的に偏向させ、副走査方向に移動する被走査媒体の一様に帯電した被走査面を前記副走査方向と直交する主走査方向に走査して、前記被走査面上に静電潜像を形成する光走査装置であって、

前記2つ以上のレーザ光源の各変調制御を独立して行うための画素クロックをそれぞれ前記レーザ光源ごとに生成するとともに、入力される制御パルス信号に基づいて前記各レーザ光源の画素クロックの位相をそれぞれ独立に変更する画素クロック生成手段を有することを特徴とする光走査装置。

【請求項17】 前記被走査面の主走査方向における前記静電潜像の形成領

域外で前記 2 つ以上のレーザ光源からのレーザビームをそれぞれ検知して、前記各レーザビームの前記主走査方向の走査開始位置を規定する同期検知信号を出力する同期検知手段を有し、

前記画素クロック生成手段は、

前記同期検知信号と同期をとり、前記画素クロックを生成することを特徴とする請求項 16 記載の光走査装置。

【請求項 18】 前記同期検知手段は、

前記被走査面の主走査方向における前記静電潜像の形成領域外における少なくとも 2 点で前記レーザビームを検知し、該 2 点間の走査時間を測定するための前記同期検知信号を出力することを特徴とする請求項 17 記載の光走査装置。

【請求項 19】 前記画素クロック生成手段は、

前記画素クロックの位相を、前記画素クロックの周期よりも短い時間単位で変更することを特徴とする請求項 16 から 18 のいずれか 1 項に記載の光走査装置。

【請求項 20】 前記画素クロック生成手段は、

1 走査期間ごとに、前記画素クロックの位相変更タイミングを異ならせることを特徴とする請求項 16 から 19 のいずれか 1 項に記載の光走査装置。

【請求項 21】 前記画素クロック生成手段は、

1 走査期間経過ごとに、一定の単位時間ずつ、前記画素クロックの位相変更を行うタイミングを移動させることを特徴とする請求項 20 記載の光走査装置。

【請求項 22】 前記画素クロック生成手段は、

前記各レーザ光源の 1 走査期間を分割した分割期間ごとに前記各画素クロックの位相を変更させることを特徴とする請求項 16 から 21 のいずれか 1 項に記載の光走査装置。

【請求項 23】 2 つ以上のレーザ光源からそれぞれ射出されるレーザビームを回転偏向工程により周期的に偏向させ、副走査方向に移動する被走査媒体における一様に帯電した被走査面上を、前記副走査方向と直交する主走査方向に走査して、前記被走査面上に静電潜像を形成する画像形成装置を用いた画像形成方法であって、

前記レーザ光源によるレーザビームの射出タイミング制御を行うための画素クロックを、それぞれ前記レーザ光源ごとに独立して生成する画素クロック生成工程と、

前記各画素クロックの位相変更をそれぞれ独立して制御する位相制御工程と、前記位相制御工程により前記各画素クロックの位相変更を行う位相変更工程と

を有することを特徴とする画像形成方法。

【請求項 2 4】 前記位相制御工程は、

前記画素クロック生成工程により生成される各画素クロックの位相変更を制御するための制御パルス信号をそれぞれ生成し、前記画素クロック生成工程に出力し、

前記画素クロック生成工程は、

前記制御パルス信号が入力した時点で、前記画素クロックの位相変更を行うことを特徴とする請求項 2 3 記載の画像形成方法。

【請求項 2 5】 前記各制御パルス信号の発生間隔および発生数を示す設定値を、前記レーザ光源ごとに入力する入力工程を有し、

前記位相制御工程は、

前記入力工程により入力された各設定値に基づいて、前記各画素クロックの前記制御パルス信号をそれぞれ生成し、前記画素クロック生成工程へ出力することを特徴とする請求項 2 4 記載の画像形成方法。

【請求項 2 6】 前記 2 つ以上のレーザ光源のうちの 1 つの画素クロックの位相変更を行うための前記制御パルス信号の発生間隔および発生数を示す設定値を入力する入力工程と、

前記入力工程により入力された 1 つのレーザ光源に係る設定値に、他の前記レーザ光源ごとに予め規定された値をそれぞれ加算して、前記他のレーザ光源における各前記設定値を算出する設定値算出工程とを有し、

前記位相制御工程は、

前記入力された設定値および前記算出された設定値に基づいて、前記各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする請求項 2 4

記載の画像形成方法。

**【請求項 27】** 前記被走査面の主走査方向における前記静電潜像の形成領域外で前記2つ以上のレーザ光源からのレーザビームをそれぞれ検知して、前記各レーザビームの前記主走査方向の走査開始位置を規定する同期検知信号を出力する同期検知工程を有し、

前記画素クロック生成工程は、

前記同期検知信号と同期をとり、前記画素クロックを生成することを特徴とする請求項25または26記載の画像形成方法。

**【請求項 28】** 前記被走査面の主走査方向における前記静電潜像の形成領域外で前記各レーザ光源からのレーザビームを検知する第1の同期検知工程と、

前記第1の同期検知工程によるレーザビーム検知後に、前記被走査面の主走査方向における静電潜像の形成領域外で前記各レーザ光源からのレーザビームを検知する第2の同期検知工程と、

前記第1の同期検知工程により前記レーザビームを検知してから、前記第2の同期検知工程により前記レーザビームを検知するまでの間の走査時間を前記レーザ光源ごとに測定する走査時間測定工程と、

前記走査時間測定工程により測定された各レーザ光源による走査時間と、基準となる走査時間を示す値とをそれぞれ比較し、該比較結果に基づいて、前記各レーザ光源の画素クロックの位相を変更するための制御パルス信号の発生間隔および発生数を示す設定値を算出する走査時間比較工程とを有し、

前記位相制御工程は、

前記走査時間比較工程により算出された設定値に基づいて、前記各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする請求項24記載の画像形成方法。

**【請求項 29】** 前記走査時間比較工程は、

前記測定された走査時間から前記基準となる走査時間を減算した値に前記画素クロックの周期を積算し、該積算した値を前記位相変更する時間単位で除算することにより、前記制御パルス信号の発生増減数を算出することを特徴とする請求項28記載の画像形成方法。

【請求項 30】 前記被走査面の主走査方向における前記静電潜像の形成領域外で前記レーザ光源の 1 つからのレーザビームを検知する第 1 の同期検知工程と、

前記第 1 の同期検知工程によるレーザビーム検知後に、前記被走査面の主走査方向における静電潜像の形成領域外で前記 1 つのレーザ光源からのレーザビームを検知する第 2 の同期検知工程と、

前記第 1 の同期検知工程により前記レーザビームを検知してから、前記第 2 の同期検知工程により前記レーザビームを検知するまでの間の走査時間を測定する走査時間測定工程と、

前記走査時間測定工程により測定された走査時間と、基準となる走査時間を示す値とをそれぞれ比較し、該比較結果に基づいて、前記 1 つのレーザ光源の画素クロックの位相を変更するための制御パルス信号の発生間隔および発生数を示す設定値を算出する走査時間比較工程と、

前記 1 つのレーザ光源に係る設定値に、他の前記レーザ光源ごとに予め規定された値をそれぞれ加算して、前記他のレーザ光源における各前記設定値を算出する設定値算出工程とを有し、

前記位相制御工程は、

前記算出された設定値に基づいて、前記各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする請求項 24 記載の画像形成方法。

【請求項 31】 前記走査時間比較工程は、

前記測定された走査時間から前記基準となる走査時間を減算した値に前記画素クロックの周期を積算し、該積算した値を前記位相変更する時間単位で除算することにより、前記制御パルス信号の発生増減数を算出することを特徴とする請求項 30 記載の画像形成方法。

【請求項 32】 前記第 1 の同期検知工程は、

前記被走査面の主走査方向における前記静電潜像の形成領域外で前記 2 つ以上のレーザ光源からのレーザビームをそれぞれ検知すると、前記各レーザビームの前記主走査方向の走査開始位置を規定する同期検知信号を出力し、

前記画素クロック生成工程は、

前記同期検知信号と同期をとり、前記画素クロックを生成することを特徴とする請求項28から31のいずれか1項に記載の画像形成方法。

【請求項33】 前記位相制御工程は、

前記画素クロックの位相を、前記画素クロックの周期よりも短い時間単位で変更するように制御することを特徴とする請求項23から32のいずれか1項に記載の画像形成方法。

【請求項34】 前記位相制御工程は、

1走査期間ごとに、前記制御パルス信号の出力タイミングを異ならせることを特徴とする請求項23から33のいずれか1項に記載の画像形成方法。

【請求項35】 前記位相制御工程は、

1走査期間経過ごとに、一定の単位時間ずつ前記制御パルス信号の出力タイミングを変更して出力することを特徴とする請求項34記載の画像形成方法。

【請求項36】 前記位相制御工程は、

前記制御パルス信号の発生間隔と発生数との積を1走査期間から減算した値と、分母および分子ともに正の素数である分数値との積を、前記単位時間として、前記制御パルス信号の出力タイミングを変更して出力し、

前記分母の数値の回数分、変更後の前記制御パルス信号の出力タイミングと、変更前の出力タイミングとは一致することを特徴とする請求項35記載の画像形成方法。

【請求項37】 前記位相制御工程は、

前記各レーザ光源の1走査期間を分割した分割期間ごとに前記各画素クロックの位相を変更させることを特徴とする請求項23から36のいずれか1項に記載の画像形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像形成装置、光走査装置、および画像形成方法に関し、特に、レーザ光源から射出されるレーザビームにより被走査媒体の被走査面上を走査する光走査装置、その光走査装置を備えたレーザプリンタ、デジタル複写機、ファク

シミリ装置等の電子写真方式を用いた画像形成装置、およびその画像形成方法に関する。

### 【0002】

#### 【従来の技術】

従来、画像形成装置が画像を形成する方式の1つにレーザビーム方式があった。レーザビーム方式では、画像形成装置において、光走査装置がレーザビームを感光体（被走査媒体）上の被走査面に照射することにより画像を形成していた。

### 【0003】

図34は、従来のレーザビーム方式における画像形成装置による画像形成動作を示す図である。以下、図34を用いて、従来のレーザビーム方式において、光走査装置が感光体上に画像を形成する動作について説明する。

### 【0004】

まず、図示しない帯電器（例えば、ローラ型の接触帯電器）が、感光体を一様に帯電させる。レーザ光源は、レーザビームを、回転するポリゴンミラー（回転多面鏡）に照射する。ポリゴンミラーは、レーザ光源から射出されるレーザビームを周期的に偏向させ、 $f\theta$ レンズを透過して、副走査方向に移動（回動）する感光体の被走査面上を主走査方向に反復走査する（主走査する）。感光体においてレーザビームが照射された部分（ビームスポット）は、静電気が除去され、感光体上に静電気のパターン（静電潜像）が形成される。

### 【0005】

なお、コントローラ（図示せず）により、ページ単位の画像データが1ライン（1走査）ごとに画像信号（ビデオ信号）としてレーザ駆動回路に送出されている。そして、レーザ駆動回路がその画像信号を画素クロック（書込クロック）に同期してレーザ光源に出力して変調動作を行っている。この画像クロックは、図示しない画素クロック生成回路（画素クロック生成手段及び位相設定手段を構成する）から位相同期回路を経由して入力される。

### 【0006】

図35は、従来の画素クロックとその位相変更との関係の一例を示すタイミングチャートである。ここで、画素クロックとその位相変更（位相設定）との関係

について、図35を用いて説明する。

#### 【0007】

画素クロック生成回路は、同期検知センサから入力される同期検知信号と同期をとり、画素クロック  $c_{lkw}$  の周波数の  $n$  倍（図35では4倍）の基準クロック（元のクロック）  $c_{lko}$ （図示しない発振器から発生する）を用い、カウント制御によって  $4c_{lko}$ ごとに信号のハイレベル（H）、ローレベル（L）をトグルさせることにより、画素クロック  $c_{lkw}$ を生成して出力する。

#### 【0008】

上述した光走査装置は、レーザビームによるビームスポットを被走査面上に形成して静電潜像の書き込みを行う際にそのビームスポットの書き込み密度が均一になるように調整している。

#### 【0009】

しかしながら、 $f\theta$ レンズ周囲に温度変化などの環境変動が生じると、 $f\theta$ レンズが歪み、屈折率が変化してしまう。また、レーザ光源周囲に温度変化などの環境変動が生じた場合、レーザ光源から射出されるレーザビームの波長が変化してしまう。その結果、 $f\theta$ レンズは入射されるレーザビームの波長によってレーザビームを所定の角度に屈折させるため、図34に示されるように、 $f\theta$ レンズに入射したレーザビームの屈折角度に誤差が生じ、ポリゴンミラーによるレーザビームの1主走査期間（以下「一走査期間」という）あたりの書き込み倍率（光学的走査長）に誤差を生じて出力画像上に影響を与えることがあった。このような場合、レーザビームの書き込み倍率を補正するため、画素クロック  $c_{lkw}$ の位相をずらす位相変更を行っていた。

#### 【0010】

上述した光走査装置において、画素クロック生成回路は、画素クロック  $c_{lkw}$ の位相をずらす位相変更を行うため、外部パルス列  $x_{p1s}$ を利用した位相制御を行っている。

この外部パルス列  $x_{p1s}$ には、画素クロック  $c_{lkw}$ の位相を進めるための外部パルス列  $x_{p1sp}$ と、画素クロック  $c_{lkw}$ の位相を遅らせるための外部パルス列  $x_{p1sm}$ との2つがある。

例えば、基準クロック  $c_{lk0}$  から画素クロック  $c_{lkW}$  を生成する際、外部パルス列  $x_{pls}$  (外部パルス列  $x_{plsP}$  または  $x_{plsM}$ ) を入力してそのカウント数を増減させることにより、通常  $8c_{lk0}$  で生成される画素クロック  $c_{lkW}$  を  $9c_{lk0}$  又は  $7c_{lk0}$  で生成する。カウント数を増減させてカウント数を変更することによって、画素クロック  $c_{lkW}$  の周波数は、 $8/7$  倍 (進み制御) 又は  $8/9$  倍 (遅れ制御) になり、位相変更以降の画素クロック  $c_{lkW}$  をシフトすることができる。これは、主走査 1 ラインで見ると、ライン全体の時間を  $T_m$  とした場合、 $T_m - 7/8$  (進み制御)、又は  $T_m + 9/8$  (遅れ制御) となって全体の倍率が伸びるか、又は縮むといった効果が得られる。このようにして、光走査装置は、環境変動によらず、感光体上の所望の位置に画像を形成することが可能となる。

#### 【0011】

また、画素クロック発生回路には、上記の外部パルス列  $x_{pls}$  を発生するパルス発生回路が設けられている。パルス発生回路は、画素クロック  $c_{lkW}$  列の位相変更を掛けたい箇所に対応させて、上述の外部パルス列 (以下単に「パルス」ともいう)  $x_{pls}$  を発生する。

#### 【0012】

図36は、従来のパルス発生回路の構成を示す図である。以下、図36を用いて、パルス発生回路による外部パルス列の発生動作について説明する。

#### 【0013】

図36に示されているように、パルス発生回路は、比較器1001、1002と、カウンタ1003、1004とを有する。

#### 【0014】

パルス発生回路は、図示しないエンジンCPUによって、比較器1001にパルス発生間隔 (周期)  $prd$  が設定され、比較器1002にパルス数  $num$  が設定されることにより、ポリゴンミラーによるレーザビームの主走査方向への一走査が行われる際に次の動作を行う。

#### 【0015】

カウンタ1003は、同期検知信号から図示しない回路によって生成されたク

リア信号  $x_{1c1r}$  の入力により、その入力時点を基準として、画素クロック  $c_{1kw}$  の数（カウント値  $i$ ）をカウントするカウント動作を開始し、比較器 1002 から停止信号が入力された時にカウント動作を停止する。

比較器 1001 は、カウンタ 1003 のカウント値  $i$  と予め設定されたパルス発生間隔（以下「設定値」ともいう）  $prd$  とを比較して、カウント値  $i$  が設定値  $prd$  に達するごとにパルス  $x_{pls}$  を発生する。

カウンタ 1004 は、比較器 1001 から発生されるパルス  $x_{pls}$  の数（カウント値  $j$ ）をカウントする。

比較器 1002 は、カウンタ 1004 のカウント値  $j$  と予め設定されたパルス数（以下「設定値」ともいう）  $num$  とを比較し、カウント値  $j$  が設定値  $num$  に達すると、停止信号を発生する。

#### 【0016】

図 37 は、図 36 に示されるパルス発生回路による動作の流れを示すフローチャートである。以下、図 36 を用い、図 37 に沿って、従来のパルス発生回路による外部パルス列  $x_{pls}$  発生動作について説明する。

#### 【0017】

まず、パルス発生回路への電源投入により、カウンタ 1003、1004 がそれぞれカウント値  $i$ 、 $j$  を「1」にリセットする（ステップ S1001）。

#### 【0018】

その後、カウンタ 1003 は、クリア信号  $x_{1c1r}$  が入力されるまで待機し（ステップ S1002/N<sub>o</sub>）、クリア信号  $x_{1c1r}$  入力後（ステップ S1002/Y<sub>e</sub>s）、画素クロック  $c_{1kw}$  が入力されるごとにカウント値  $i$  をカウントアップ（+1）する（ステップ S1003）。

#### 【0019】

比較器 1001 は、カウント値  $i$  が設定値  $prd$  に達するまで（ステップ S1004/N<sub>o</sub>）、ステップ S1003 の動作を行う。

#### 【0020】

比較器 1001 は、カウント値  $i$  が設定値  $prd$  に達すると（ステップ S1004/Y<sub>e</sub>s）、パルス  $x_{pls}$  を発生する。カウンタ 1003 は、そのパルス

x p l s の入力により、カウント値 i を「1」に戻す（ステップ S 1 0 0 5）。

#### 【0021】

また、比較器 1 0 0 2 がカウンタ 1 0 0 4 のカウント値 j と設定値 num とを比較した結果（ステップ S 1 0 0 6）、カウント値 j がまだ設定値 num に達していない場合（ステップ S 1 0 0 6／N o）、カウンタ 1 0 0 4 は、パルス x p l s の入力により、カウント値 j をカウントアップ（+1）する（ステップ S 1 0 0 7）。

#### 【0022】

以後、カウンタ 1 0 0 3、1 0 0 4 及び比較器 1 0 0 1 が上述の動作を繰り返し、カウント値 j が設定値 num に達すると（ステップ S 1 0 0 6／Y e s）、比較器 1 0 0 2 が停止信号を発生する。これにより、パルス発生回路は、一連の動作（以下この動作を「パルス発生動作」という）を終了する。

#### 【0023】

ここで、画像形成装置における画素クロックの位相制御に関する従来技術として、特許文献 1 が開示するところの画像形成装置があった。特許文献 1 では、主走査方向へ移動するレーザビームを検出する複数の検出センサが設けられており、レーザビームが 1 つの検出センサにより検出されてから、他の検出センサにより検出されるまでの間の走査時間またはクロックのカウント数を計測し、その計測結果に基づいて書き込みクロック周波数を補正していた。

#### 【0024】

また、レーザビームを感光体上の被走査面に照射することにより画像を形成するレーザビーム方式の中に、2 つ以上のレーザ光源を用いて感光体上に画像を形成するマルチビーム方式があった。

#### 【0025】

マルチビーム方式の画像形成装置は、例えば副走査方向に 2 つ以上のレーザ光源を設け、主走査ライン 2 つ分以上同時にビームスポットを感光体上に書き込むことにより、潜像の形成速度を向上させていた。

#### 【0026】

図 38 は、従来のマルチビーム方式の画像形成装置による画像形成動作を示す

図である。図38には、2つのレーザ光源LD0、LD1によりレーザビームを照射する例が示されている。図38に示されるように、2つのレーザ光源LD0、LD1は、レーザビームを、回転するポリゴンミラーに照射する。ポリゴンミラーは、レーザ光源LD0、LD1から射出されるレーザビームを周期的に偏向させ、 $f\theta$ レンズを透過して、一様に帯電し、副走査方向に回動する感光体の被走査面上を主走査方向に反復走査する。感光体上においてレーザビームが照射された部分は、静電気が除去され、感光体上に静電潜像が形成される。

### 【0027】

上記のようなマルチビームを用いた従来技術として、特許文献2が開示するところのマルチビーム光源装置及び光走査装置があった。特許文献2では、それぞれ2つの光源素子を有する光源部を2つ設け、その2つの光源部から射出する光ビームの相対角度を調節して、両光源部の射出軸のずれを補正していた。

### 【0028】

#### 【特許文献1】

特許第3315474号公報

#### 【特許文献2】

特開2000-166598号公報

### 【0029】

#### 【発明が解決しようとする課題】

しかしながら、複数のレーザ光源が1つの光学系および1つの像担持体を共有するマルチビーム方式の画像形成装置には、以下のような問題点があった。

### 【0030】

上述したように、画像形成装置内における温度変化などの環境変動により、 $f\theta$ レンズなどのレンズ群の屈折率、およびレーザ光源から射出されるレーザビームの波長に変動が生じる。そのため、従来、複数のレーザ光源から射出されるレーザビームの一走査期間あたりの書込倍率にそれぞれ誤差を生じ、各レーザ光源により書き込まれる画像の形成位置がずれてしまうといったことがあった。その結果、画像の縦方向（副走査方向）の線が揺れて見えたり、画像全体にノイズが生じ、不鮮明な画像が形成されてしまうといった問題点があった。

### 【0031】

また、 $f\theta$ レンズなどの光学系を形成するレンズ群は、特定波長の屈折を考慮して作製される。従って、マルチビーム方式の画像形成装置において、複数のレーザ光源が1つの光学系および1つの像担持体を共有する場合、それぞれ射出されるレーザビームの波長が同一の複数のレーザ光源を選択して、画像形成装置に設置しなければならない。しかしながら、実際全く同一な波長のレーザビームを射出するレーザ光源を所定数揃えることは困難であり、その結果、形成される画像が不鮮明になってしまうといった問題があった。

### 【0032】

本発明は、上記問題点に鑑みてなされたものであり、複数のレーザ光源が1つの光学系および1つの像担持体を共有して画像形成する画像形成装置、光走査装置、および画像形成方法において、その複数のレーザ光源から射出されるレーザビームにより鮮明な画像を書き込むことを可能にする画像形成装置、光走査装置、および画像形成方法を提供することを目的とする。

### 【0033】

#### 【課題を解決するための手段】

かかる目的を達成するため、本発明は、2つ以上のレーザ光源からそれぞれ射出されるレーザビームを回転偏向手段により周期的に偏向させ、副走査方向に移動する被走査媒体における一様に帯電した被走査面上を、副走査方向と直交する主走査方向に走査して、被走査面上に静電潜像を形成する画像形成装置であって、レーザ光源によるレーザビームの射出タイミング制御を行うための画素クロックを、それぞれレーザ光源ごとに独立して生成するとともに、各画素クロックの位相変更を行う画素クロック生成手段と、各画素クロックの位相変更をそれぞれ独立して制御する位相制御手段と、を有することを特徴とする。

### 【0034】

また、本発明によれば、位相制御手段は、画素クロック生成手段により生成される各画素クロックの位相変更を制御するための制御パルス信号をそれぞれ生成し、画素クロック生成手段に出力し、画素クロック生成手段は、制御パルス信号が入力した時点で、画素クロックの位相変更を行うことを特徴とする。

**【0035】**

また、本発明によれば、各制御パルス信号の発生間隔および発生数を示す設定値を、レーザ光源ごとに入力する入力手段を有し、位相制御手段は、入力手段により入力された各設定値に基づいて、各画素クロックの制御パルス信号をそれぞれ生成し、画素クロック生成手段へ出力することを特徴とする。

**【0036】**

また、本発明によれば、2つ以上のレーザ光源のうちの1つの画素クロックの位相変更を行うための制御パルス信号の発生間隔および発生数を示す設定値を入力する入力手段と、入力手段により入力された1つのレーザ光源に係る設定値に、他のレーザ光源ごとに予め規定された値をそれぞれ加算して、他のレーザ光源における各設定値を算出する設定値算出手段とを有し、位相制御手段は、入力された設定値および算出された設定値に基づいて、各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする。

**【0037】**

また、本発明によれば、被走査面の主走査方向における静電潜像の形成領域外で2つ以上のレーザ光源からのレーザビームをそれぞれ検知して、各レーザビームの主走査方向の走査開始位置を規定する同期検知信号を出力する同期検知手段を有し、画素クロック生成手段は、同期検知信号と同期をとり、画素クロックを生成することを特徴とする。

**【0038】**

また、本発明によれば、被走査面の主走査方向における静電潜像の形成領域外で各レーザ光源からのレーザビームを検知する同期検知手段と、同期検知手段の1つがレーザビームを検知してから、他の同期検知手段がレーザビームを検知するまでの間の走査時間をレーザ光源ごとに測定する走査時間測定手段と、走査時間測定手段により測定された各レーザ光源による走査時間と、基準となる走査時間を示す値とをそれぞれ比較し、比較結果に基づいて、各レーザ光源の画素クロックの位相を変更するための制御パルス信号の発生間隔および発生数を示す設定値を算出する走査時間比較手段とを有し、位相制御手段は、走査時間比較手段により算出された設定値に基づいて、各レーザ光源に対応する制御パルス信号を生

成して出力することを特徴とする。

#### 【0039】

また、本発明によれば、走査時間比較手段は、測定された走査時間から基準となる走査時間を減算した値に画素クロックの周期を積算し、積算した値を位相変更する時間単位で除算することにより、制御パルス信号の発生増減数を算出することを特徴とする。

#### 【0040】

また、本発明によれば、被走査面の主走査方向における静電潜像の形成領域外でレーザ光源の1つからのレーザビームを検知する同期検知手段と、同期検知手段の1つがレーザビームを検知してから、他の同期検知手段がレーザビームを検知するまでの間の走査時間を測定する走査時間測定手段と、走査時間測定手段により測定された走査時間と、基準となる走査時間を示す値とを比較し、比較結果に基づいて、1つのレーザ光源に対応する制御パルス信号の発生間隔および発生数を算出する走査時間比較手段と、1つのレーザ光源に係る設定値に、他のレーザ光源ごとに予め規定された値をそれぞれ加算して、他のレーザ光源における各設定値を算出する設定値算出手段とを有し、位相制御手段は、算出された設定値に基づいて、各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする。

#### 【0041】

また、本発明によれば、走査時間比較手段は、測定された走査時間から基準となる走査時間を減算した値に画素クロックの周期を積算し、積算した値を位相変更する時間単位で除算することにより、制御パルス信号の発生増減数を算出することを特徴とする。

#### 【0042】

また、本発明によれば、同期検知手段は、被走査面の主走査方向における静電潜像の形成領域外で2つ以上のレーザ光源からのレーザビームをそれぞれ検知して、各レーザビームの主走査方向の走査開始位置を規定する同期検知信号を出力し、画素クロック生成手段は、同期検知信号と同期をとり、画素クロックを生成することを特徴とする。

**【0043】**

また、本発明によれば、位相制御手段は、画素クロックの位相を、画素クロックの周期よりも短い時間単位で変更するように制御することを特徴とする。

**【0044】**

また、本発明によれば、位相制御手段は、1走査期間ごとに、制御パルス信号の出力タイミングを異ならせることを特徴とする。

**【0045】**

また、本発明によれば、位相制御手段は、1走査期間経過ごとに、一定の単位時間ずつ制御パルス信号の出力タイミングを変更して出力することを特徴とする。

**【0046】**

また、本発明によれば、位相制御手段は、制御パルス信号の発生間隔と発生数との積を1走査期間から減算した値と、分母および分子ともに正の素数である分数値との積を、単位時間として、制御パルス信号の出力タイミングを変更して出力し、分母の数値の回数分、変更後の制御パルス信号の出力タイミングと、変更前の出力タイミングとは一致することを特徴とする。

**【0047】**

また、本発明によれば、位相制御手段は、各レーザ光源の1走査期間を分割した分割期間ごとに各画素クロックの位相を変更させることを特徴とする。

**【0048】**

また、本発明によれば、2つ以上のレーザ光源からそれぞれ射出されるレーザビームを回転偏向手段により周期的に偏向させ、副走査方向に移動する被走査媒体の一様に帶電した被走査面を副走査方向と直交する主走査方向に走査して、被走査面上に静電潜像を形成する光走査装置であって、2つ以上のレーザ光源の各変調制御を独立して行うための画素クロックをそれぞれレーザ光源ごとに生成するとともに、入力される制御パルス信号に基づいて各レーザ光源の画素クロックの位相をそれぞれ独立に変更する画素クロック生成手段を有することを特徴とする。

**【0049】**

また、本発明によれば、被走査面の主走査方向における静電潜像の形成領域外で2つ以上のレーザ光源からのレーザビームをそれぞれ検知して、各レーザビームの主走査方向の走査開始位置を規定する同期検知信号を出力する同期検知手段を有し、画素クロック生成手段は、同期検知信号と同期をとり、画素クロックを生成することを特徴とする。

#### 【0050】

また、本発明によれば、同期検知手段は、被走査面の主走査方向における静電潜像の形成領域外における少なくとも2点でレーザビームを検知し、2点間の走査時間を測定するための同期検知信号を出力することを特徴とする。

#### 【0051】

また、本発明によれば、画素クロック生成手段は、画素クロックの位相を、画素クロックの周期よりも短い時間単位で変更することを特徴とする。

#### 【0052】

また、本発明によれば、画素クロック生成手段は、1走査期間ごとに、画素クロックの位相変更タイミングを異ならせることを特徴とする。

#### 【0053】

また、本発明によれば、画素クロック生成手段は、1走査期間経過ごとに、一定の単位時間ずつ、画素クロックの位相変更を行うタイミングを移動させることを特徴とする。

#### 【0054】

また、本発明によれば、画素クロック生成手段は、各レーザ光源の1走査期間を分割した分割期間ごとに各画素クロックの位相を変更させることを特徴とする。

#### 【0055】

また、本発明によれば、2つ以上のレーザ光源からそれぞれ射出されるレーザビームを回転偏向工程により周期的に偏向させ、副走査方向に移動する被走査媒体における一様に帯電した被走査面上を、副走査方向と直交する主走査方向に走査して、被走査面上に静電潜像を形成する画像形成装置を用いた画像形成方法であって、レーザ光源によるレーザビームの射出タイミング制御を行うための画素

クロックを、それぞれレーザ光源ごとに独立して生成する画素クロック生成工程と、各画素クロックの位相変更をそれぞれ独立して制御する位相制御工程と、位相制御工程により各画素クロックの位相変更を行う位相変更工程と、を有することを特徴とする。

#### 【0056】

また、本発明によれば、位相制御工程は、画素クロック生成工程により生成される各画素クロックの位相変更を制御するための制御パルス信号をそれぞれ生成し、画素クロック生成工程に出力し、画素クロック生成工程は、制御パルス信号が入力した時点で、画素クロックの位相変更を行うことを特徴とする。

#### 【0057】

また、本発明によれば、各制御パルス信号の発生間隔および発生数を示す設定値を、レーザ光源ごとに入力する入力工程を有し、位相制御工程は、入力工程により入力された各設定値に基づいて、各画素クロックの制御パルス信号をそれぞれ生成し、画素クロック生成工程へ出力することを特徴とする。

#### 【0058】

また、本発明によれば、2つ以上のレーザ光源のうちの1つの画素クロックの位相変更を行うための制御パルス信号の発生間隔および発生数を示す設定値を入力する入力工程と、入力工程により入力された1つのレーザ光源に係る設定値に、他のレーザ光源ごとに予め規定された値をそれぞれ加算して、他のレーザ光源における各設定値を算出する設定値算出工程とを有し、位相制御工程は、入力された設定値および算出された設定値に基づいて、各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする。

#### 【0059】

また、本発明によれば、被走査面の主走査方向における静電潜像の形成領域外で2つ以上のレーザ光源からのレーザビームをそれぞれ検知して、各レーザビームの主走査方向の走査開始位置を規定する同期検知信号を出力する同期検知工程を有し、画素クロック生成工程は、同期検知信号と同期をとり、画素クロックを生成することを特徴とする。

#### 【0060】

また、本発明によれば、被走査面の主走査方向における静電潜像の形成領域外で各レーザ光源からのレーザビームを検知する第1の同期検知工程と、第1の同期検知工程によるレーザビーム検知後に、被走査面の主走査方向における静電潜像の形成領域外で各レーザ光源からのレーザビームを検知する第2の同期検知工程と、第1の同期検知工程によりレーザビームを検知してから、第2の同期検知工程によりレーザビームを検知するまでの間の走査時間をレーザ光源ごとに測定する走査時間測定工程と、走査時間測定工程により測定された各レーザ光源による走査時間と、基準となる走査時間を示す値とをそれぞれ比較し、比較結果に基づいて、各レーザ光源の画素クロックの位相を変更するための制御パルス信号の発生間隔および発生数を示す設定値を算出する走査時間比較工程とを有し、位相制御工程は、走査時間比較工程により算出された設定値に基づいて、各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする。

#### 【0061】

また、本発明によれば、走査時間比較工程は、測定された走査時間から基準となる走査時間を減算した値に画素クロックの周期を積算し、積算した値を位相変更する時間単位で除算することにより、制御パルス信号の発生増減数を算出することを特徴とする。

#### 【0062】

また、本発明によれば、被走査面の主走査方向における静電潜像の形成領域外でレーザ光源の1つからのレーザビームを検知する第1の同期検知工程と、第1の同期検知工程によるレーザビーム検知後に、被走査面の主走査方向における静電潜像の形成領域外で1つのレーザ光源からのレーザビームを検知する第2の同期検知工程と、第1の同期検知工程によりレーザビームを検知してから、第2の同期検知工程によりレーザビームを検知するまでの間の走査時間を測定する走査時間測定工程と、走査時間測定工程により測定された走査時間と、基準となる走査時間を示す値とをそれぞれ比較し、比較結果に基づいて、1つのレーザ光源の画素クロックの位相を変更するための制御パルス信号の発生間隔および発生数を示す設定値を算出する走査時間比較工程と、1つのレーザ光源に係る設定値に、他のレーザ光源ごとに予め規定された値をそれぞれ加算して、他のレーザ光源に

おける各設定値を算出する設定値算出工程とを有し、位相制御工程は、算出された設定値に基づいて、各レーザ光源に対応する制御パルス信号を生成して出力することを特徴とする。

#### 【0063】

また、本発明によれば、走査時間比較工程は、測定された走査時間から基準となる走査時間を減算した値に画素クロックの周期を積算し、積算した値を位相変更する時間単位で除算することにより、制御パルス信号の発生増減数を算出することを特徴とする。

#### 【0064】

また、本発明によれば、第1の同期検知工程は、被走査面の主走査方向における静電潜像の形成領域外で2つ以上のレーザ光源からのレーザビームをそれぞれ検知すると、各レーザビームの主走査方向の走査開始位置を規定する同期検知信号を出力し、画素クロック生成工程は、同期検知信号と同期をとり、画素クロックを生成することを特徴とする。

#### 【0065】

また、本発明によれば、位相制御工程は、画素クロックの位相を、画素クロックの周期よりも短い時間単位で変更するように制御することを特徴とする。

#### 【0066】

また、本発明によれば、位相制御工程は、1走査期間ごとに、制御パルス信号の出力タイミングを異ならせることを特徴とする。

#### 【0067】

また、本発明によれば、位相制御工程は、1走査期間経過ごとに、一定の単位時間ずつ制御パルス信号の出力タイミングを変更して出力することを特徴とする。

#### 【0068】

また、本発明によれば、位相制御工程は、制御パルス信号の発生間隔と発生数との積を1走査期間から減算した値と、分母および分子ともに正の素数である分数値との積を、単位時間として、制御パルス信号の出力タイミングを変更して出力し、分母の数値の回数分、変更後の制御パルス信号の出力タイミングと、変更

前の出力タイミングとは一致することを特徴とする。

### 【0069】

また、本発明によれば、位相制御工程は、各レーザ光源の1走査期間を分割した分割期間ごとに各画素クロックの位相を変更させることを特徴とする。

### 【0070】

#### 【発明の実施の形態】

##### （第1の実施形態）

本実施形態における画像形成装置は、2つ以上のレーザ光源からそれぞれ射出されるレーザビームを回転偏向手段（ポリゴンミラー13）により周期的に偏向させ、副走査方向に移動する被走査媒体（感光体11）における一様に帯電した被走査面上を、副走査方向と直交する主走査方向に走査して、被走査面上に静電潜像を形成するものである。

また、画像形成装置は、レーザ光源（レーザ光源LD0、LD1）によるレーザビームの射出タイミング制御を行うための画素クロックを、それぞれレーザ光源ごとに独立して生成するとともに、各画素クロックの位相変更を行う。

また、画像形成装置は、各画素クロックの位相変更をそれぞれ独立して制御する。

図1は、本発明の第1の実施形態における画像形成装置の構成を示す図である。以下、図1を用いて、本実施形態における画像形成装置の構成について説明する。

### 【0071】

図1に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU(Central Processing Unit)30と、プリンタコントローラ40と、入力手段としての操作部50とを有する。なお、図1に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図1に示されている構成以外の構成を有するとしてもよい。

### 【0072】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、fθレンズ12と、回転偏向手段としてのポリゴンミ

ラー 13 と、レーザ光源ドライバ 14 a、14 b と、同期検知手段としての同期検知部 15 と、レーザ光源 LD 0、LD 1 とを有する。

#### 【0073】

レーザ光源 LD 0、LD 1 は、レーザビームを射出する素子であり、例えば、レーザダイオードなどの発光半導体素子であってもよい。

#### 【0074】

感光体 11 は、その表面が光の照射により電気的特性が変化する素材（光半導体の層）により形成されている。感光体 11 は、例えば副走査方向に回動する感光体ドラムであってもよい。

#### 【0075】

$f\theta$  レンズ 12 は、ポリゴンミラー 13 により反射されたレーザビームを感光体 11 の被走査面上に結像するためのレンズである。 $f\theta$  レンズ 12 は、特定波長のレーザビームを所定の屈折角度に偏向させる。

#### 【0076】

ポリゴンミラー 13 は、図示されないモータにより等速回転する多角柱形状の多面鏡である。ポリゴンミラー 13 は、自身の回転に伴ってレーザ光源 LD 0、LD 1 から入射されたレーザビームの反射角度を連続的に変化させ、感光体 11 の被走査面上の主走査方向にレーザビームを走査する。

#### 【0077】

レーザ光源ドライバ 14 a、14 b は、それぞれレーザ光源 LD 0、LD 1 の駆動装置であり、データ制御装置 20 からの画像信号により動作する。さらに詳しく説明すると、同期検知部 15 によりレーザビームが検知され、同期検知信号  $d e t p$  が同期検知部 15 からデータ制御装置 20 へ入力されてから一定時間が経過した後、レーザ光源ドライバ 14 a、14 b は、データ制御装置 20 からの画像信号に応じてレーザ光源 LD 0、LD 1 の変調（オン／オフ）制御を開始し、対応するレーザビームを射出させる。それによって、ポリゴンミラー 13 の各反射面の分割角度誤差があっても、書込開始位置を常に被走査面上の同じ位置に揃えることができ、書込終了位置も被走査面上の同じ位置に揃えることができる。

### 【0078】

同期検知部15は、主走査方向のレーザビーム通過経路上における感光体11の被走査面の画像領域外（例えば走査開始位置の直前または直後）に設けられており、 $f\theta$ レンズ12を透過して照射されたレーザビームを検知する。同期検知部15は、レーザビームを検知すると、主走査方向のレーザビームによる書込開始位置を規定する（書込開始位置を常に被走査面上の同じ位置に揃えるための）同期検知信号d e t pを生成してデータ制御装置20へ出力する。

### 【0079】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画素クロック生成手段としてのクロック生成部22a、22bと、画像データ処理部23と、レジスタ24とを有する。

### 【0080】

クロック生成部22aは、同期検知部15から入力される同期検知信号d e t pと同期をとり、画素クロック $c_{lkw0}$ の周波数のM倍の基準クロック（元のクロック） $c_{lk00}$ （クロック生成部22a内の図示しない発振器から発生する）を用い、カウント制御によって $M \times c_{lk00}$ ごとに信号のハイレベル（H）、ローレベル（L）をトグルさせることにより、画素クロック $c_{lkw0}$ を生成してパルス列生成部21aおよび画像データ処理部23に出力する。このことにより、感光体11上における各主走査ラインの走査開始位置を揃えることが可能となる。

また、クロック生成部22aは、同期検知部15から同期検知信号d e t pの入力を検知すると、クリア信号 $x_{lclr0}$ をパルス列生成部21aに出力する。

### 【0081】

クロック生成部22bは、同期検知部15から入力される同期検知信号d e t pと同期をとり、画素クロック $c_{lkw1}$ の周波数のN倍の基準クロック（元のクロック） $c_{lk01}$ （クロック生成部22b内の図示しない発振器から発生す

る) を用い、カウント制御によって  $N \times c_{1kw1}$  ごとに信号のハイレベル (H) 、ローレベル (L) をトグルさせることにより、画素クロック  $c_{1kw1}$  を生成してパルス列生成部 21b および画像データ処理部 23 に出力する。このことにより、感光体 11 上における各主走査ラインの走査開始位置を揃えることが可能となる。

また、クロック生成部 22b は、同期検知部 15 から同期検知信号  $d_{etp}$  の入力を検知すると、クリア信号  $x_{1clr1}$  をパルス列生成部 21b に出力する。

### 【0082】

パルス列生成部 21a は、クロック生成部 22a により生成された画素クロック  $c_{1kw0}$  に対して所望のタイミングで位相変更を掛けるための制御信号 (制御パルス信号) である外部パルス列 (以下単に「パルス」ともいう)  $x_{pls0}$  を生成し、クロック生成部 22a に出力する。

さらに詳しく説明すると、パルス列生成部 21a は、クリア信号  $x_{1clr0}$  入力により、画素クロック  $c_{1kw0}$  の数のカウント動作を開始し、そのカウント値が予め設定された設定値  $p_{rd0}$  ( $p_{rd0}$  は外部パルス列  $x_{pls0}$  の発生間隔を示す) に達すると、外部パルス列  $x_{pls0}$  をクロック生成部 22a に出力する。このようにして、パルス列生成部 21a は、外部パルス列  $x_{pls0}$  を出力したタイミングで画素クロック  $c_{1kw0}$  の位相を変更することができる。パルス列生成部 21a は、出力した外部パルス列  $x_{pls0}$  の数が予め設定された設定値  $n_{um0}$  ( $n_{um0}$  は外部パルス列  $x_{pls0}$  のパルス数を示し、正の整数で表される) に達すると、外部パルス列  $x_{pls0}$  の生成を停止する。

### 【0083】

パルス列生成部 21b は、クロック生成部 22b により生成された画素クロック  $c_{1kw1}$  に対して所望のタイミングで位相変更を掛けるための制御信号 (制御パルス信号) である外部パルス列  $x_{pls1}$  を生成し、クロック生成部 22b に出力する。

さらに詳しく説明すると、パルス列生成部 21b は、クリア信号  $x_{1clr1}$  入力により、画素クロック  $c_{1kw1}$  の数のカウント動作を開始し、そのカウン

ト値が予め設定された設定値 p r d 1 (p r d 1 は外部パルス列 x p l s 1 の発生間隔を示す) に達すると、外部パルス列 x p l s 1 をクロック生成部 2 2 b に出力する。このようにして、パルス列生成部 2 1 b は、外部パルス列 x p l s 1 を出力したタイミングで画素クロック c l k w 1 の位相を変更することができる。パルス列生成部 2 1 b は、出力した外部パルス列 x p l s 1 の数が予め設定された設定値 n u m 1 (n u m 1 は外部パルス列 x p l s 1 のパルス数を示し、正の整数で表される) に達すると、外部パルス列 x p l s 1 の生成を停止する。

#### 【0084】

画像データ処理部 2 3 は、レジスタ 2 4 から入力された画像形成に用いられる各種情報（網点処理に関する情報、印刷用紙サイズに基づく画像エリアを指定する情報など）を用いて、入力された画像データに画像処理を行う。

また、画像データ処理部 2 3 は、画素クロック c l k w 0 に同期して、プリンタコントローラ 4 0 から入力された画像信号をレーザ光源ドライバ 1 4 a に出力する。また、画像データ処理部 2 3 は、画素クロック c l k w 1 に同期して、プリンタコントローラ 4 0 から入力された画像信号をレーザ光源ドライバ 1 4 b に出力する。

#### 【0085】

入力手段としての操作部 5 0 は、情報の入力を行う部位であって、例えばタッチパネル、キーボードなどのキースイッチ群であるとしてもよい。操作部 5 0 は、設定値 p r d 0 、 p r d 1 、 n u m 0 、 n u m 1 を入力する。

#### 【0086】

C P U 3 0 は、中央処理装置、プログラムROM (R e a d O n l y M e m o r y) 等からなるマイクロコンピュータであり、光走査装置 1 0 およびデータ制御装置 2 0 を含むエンジンユニット（画像形成装置本体）全体を統括的に制御する。

C P U 3 0 は、走査時間比較手段および設定値算出手段として機能する。

C P U 3 0 は、操作部 5 0 から入力された情報をレジスタ 2 4 に出力して設定する。具体的には、画像形成装置の操作者は、操作部 5 0 上の入力キーなどを用いて、外部パルス列 x p l s 0 、 x p l s 1 のパルス発生間隔（周期） p r d 0

、 p r d 1 と、外部パルス列 x p l s 0 、 x p l s 1 のパルス発生数 n u m 0 、 n u m 1 とを入力する。C P U 3 0 は、その入力された設定値 p r d 0 、 p r d 1 、 n u m 0 、 n u m 1 をレジスタ 2 4 に設定する。

C P U 3 0 は、パルス列生成部 2 1 a から出力される外部パルス列 x p l s 0 を、画素クロック c l k w 0 の位相を遅らせるための位相遅れ制御信号 p h a s e 0 p 、および進ませるための位相進み制御信号 p h a s e 0 m をレジスタ 2 4 へ出力する。

また、C P U 3 0 は、パルス列生成部 2 1 b から出力される外部パルス列 x p l s 1 を、画素クロック c l k w 1 の位相を遅らせるための位相遅れ制御信号 p h a s e 1 p 、および進ませるための位相進み制御信号 p h a s e 1 m をレジスタ 2 4 へ出力する。

#### 【0087】

レジスタ 2 4 は、C P U 3 0 により設定された設定値 p r d 0 、 p r d 1 、 n u m 0 、 n u m 1 を一時的に格納する記憶媒体であり、設定値 p r d 0 、 n u m 0 をパルス列生成部 2 1 a に出力し、設定値 p r d 1 、 n u m 1 をパルス列生成部 2 1 b に出力する。

また、レジスタ 2 4 は、C P U 3 0 により入力された位相遅れ制御信号 p h a s e 0 p および位相進み制御信号 p h a s e 0 m をパルス列生成部 2 1 a へ出力し、C P U 3 0 により入力された位相遅れ制御信号 p h a s e 1 p および位相進み制御信号 p h a s e 1 m をパルス列生成部 2 1 b へ出力する。

また、レジスタ 2 4 は、C P U 3 0 により入力された画像形成に用いられる各種情報（網点処理に関する情報、印刷用紙サイズに基づく画像エリアを指定する情報など）を画像データ処理部 2 3 へ出力する。

#### 【0088】

プリンタコントローラ 4 0 は、ページ単位の画像データを 1 ライン（1 走査）ごとに画像信号（ビデオ信号）として画像データ処理部 2 3 に送出する。

#### 【0089】

ここで、図 2 を用いて、レーザ光源 L D 0 、 L D 1 の配置位置の関係について説明する。図 2 の（a）は、本発明の第 1 の実施形態におけるレーザ光源 L D 0

、LD1の配置位置の関係を示す図であり、(b)は、本発明の第1の実施形態におけるレーザ光源LD0、LD1によるレーザビーム照射を示す図である。

#### 【0090】

図2の(a)に示されているように、本実施形態では、レーザ光源LD0、LD1は、それぞれ主走査方向に距離Wx、副走査方向に距離Wyだけ離れて配置されている。設計上の制限から複数のレーザ光源を所定距離以上離して配置しなければならない場合であっても、図2の(a)に示されているように主走査方向に距離を持たせて複数のレーザ光源を配置することにより、所望のラインピッチ(副走査方向のレーザ照射間隔)でレーザビームを照射し、像形成を行うことが可能となる。

#### 【0091】

図2の(a)のように主走査方向Wx間隔で2つのレーザ光源LD0、LD1が配置されている場合、図2の(b)に示されているように、2つのレーザ光源LD0、LD1からポリゴンミラー13に照射される位置に差が生じる。このことにより、レーザ光源LD0、LD1が同じタイミングでレーザビームを射出したとしても、常にレーザ光源LD0からのレーザビームが、レーザ光源LD1よりも先に同期検知部15に入射する。

#### 【0092】

図3は、本発明の第1の実施形態における画像形成装置による画像形成動作の流れを示すフローチャートである。以下、図1を用い、図3に沿って、本実施形態における画像形成装置による画像形成動作について説明する。

#### 【0093】

まず、CPU30は、操作部50により入力された設定値prd0、prd1、num0、num1をレジスタ24に設定する(ステップS1)。レジスタ24は、設定された各設定値をパルス列生成部21a、21bに出力する。

#### 【0094】

操作部50により画像形成動作の開始要求が入力されると(例えば操作部50に設けられたスタートキーが選択されると)(ステップS2/Yes)、画像形成装置は画像形成動作を開始する。

**【0095】**

クロック生成部22a、22bは、それぞれ基本クロックc1k00、c1k01に基づいて画素クロックc1kw0、c1kw1を生成する。クロック生成部22aは、生成した画素クロックc1kw0をパルス列生成部21aおよび画像データ処理部23に出力する。また、クロック生成部22bは、生成した画素クロックc1kw1をパルス列生成部21bおよび画像データ処理部23に出力する（ステップS3）。

**【0096】**

画像データ処理部23は、プリンタコントローラ40から入力された画像信号を、入力された画素クロックc1kw0、c1kw1に同期して、それぞれレーザ光源ドライバ14a、14bに出力する（ステップS4）。

**【0097】**

レーザ光源ドライバ14a、14bは、その位相変更後の画素クロックに基づく画像データ処理部23からの画像信号の入力タイミングと、その画像信号のデータ内容とに応じてそれぞれレーザ光源LD0、LD1に対して発光のオン／オフを制御するための駆動制御信号を出力する（ステップS5）。

**【0098】**

レーザ光源LD0、LD1は、それぞれレーザ光源ドライバ14a、14bからの制御に基づいて、レーザビームをポリゴンミラー13に対して射出する（ステップS6）。なお、レーザ光源LD0、LD1とポリゴンミラー13との間のレーザ光路上に、レーザビームを集光するためのレンズ（シリンドリカルレンズ）を設けるとしてもよい。

**【0099】**

レーザ光源LD0、LD1から入射されたレーザビームは、ポリゴンミラー13により偏向され、fθレンズ12を透過して、同期検知部15に入射した後、感光体11の被走査面上に入射する。

**【0100】**

同期検知部15は、レーザビーム入射を検知すると（ステップS7／Yes）、同期検知信号detpをクロック生成部22a、22bに出力する（ステップ

S 8)。本実施形態では、上述したように、常にレーザ光源L D 0からのレーザビームがレーザ光源L D 1に先行して同期検知部15に入射されるので、同期検知部15は、1回目のレーザビーム検知時にクロック生成部22aへ同期検知信号d e t pを出力し、2回目の検知時にクロック生成部22bへ同期検知信号d e t pを出力する。

#### 【0101】

クロック生成部22a、22bは、同期検知信号d e t pが入力されると、クリア信号x l c l r 0、x l c l r 1を生成し、それぞれパルス列生成部21a、21bへ出力する（ステップS 9）。

#### 【0102】

パルス列生成部21a、21bは、それぞれクリア信号x l c l r 0、x l c l r 1が入力されると、画素クロックc l k w 0、c l k w 1のカウントを開始する。

パルス列生成部21a、21bは、その画素クロックのカウント値がそれぞれ設定値p r d 0、p r d 1に達すると、外部パルス列x p l s 0、x p l s 1をクロック生成部22a、22bに出力する。パルス列生成部21a、21bは、それぞれ設定値n u m 0、n u m 1に達するまで外部パルス列の生成および出力を繰り返す（ステップS 10）。

#### 【0103】

クロック生成部22a、22bは、それぞれ外部パルス列x p l s 0、x p l s 1が入力されると、その入力タイミングで画素クロックc l k w 0、c l k w 1の位相変更（遅れ／進み）を行う（ステップS 11）。なお、この位相変更は、各画素クロックのハイレベル又はローレベル時の位相を少なくともその画素クロックの一周期（以下「画素クロック周期」という）よりも細かい時間単位で変更可能な部分位相変更として行うことができる。

#### 【0104】

クロック生成部22aは、位相変更した画素クロックc l k w 0をパルス列生成部21aおよび画像データ処理部23に出力する。また、クロック生成部22bは、位相変更した画素クロックc l k w 1をパルス列生成部21bおよび画像

データ処理部23に出力する。

#### 【0105】

その後、同様に、画像データ処理部23は、位相変更後の画素クロックに同期して、プリンタコントローラ40からの画像信号をレーザ光源ドライバ14a、14bに送出する。レーザ光源ドライバ14a、14bは、その位相変更後の画素クロックに基づく画像信号の入力タイミングに応じて、レーザ光源LD0、LD1の発光制御を行う。CPU30により画像形成動作の停止命令が入力されるまで（ステップS12／No）、上記の動作を繰り返す。

#### 【0106】

図4は、本発明の第1の実施形態における画素クロックとその位相変更との関係の一例を示すタイミングチャートである。ここで、画素クロックとその位相変更（位相設定）との関係について、図4を用いて説明する。

#### 【0107】

クロック生成部22aは、同期検知部15から入力される同期検知信号d<sub>e</sub>t<sub>p</sub>と同期をとり、画素クロックc<sub>1</sub>k<sub>w</sub>0の周波数のN倍（図4では4倍）の基準クロックc<sub>1</sub>k<sub>0</sub>0（図示しない発振器から発生する）を用い、カウント制御によってN×c<sub>1</sub>k<sub>0</sub>0ごと（図4では4c<sub>1</sub>k<sub>0</sub>0ごと）に信号のハイレベル（H）、ローレベル（L）をトグルさせることにより、画素クロックc<sub>1</sub>k<sub>w</sub>0を生成して出力する。

#### 【0108】

パルス列生成部21a、21bは、それぞれ画素クロックc<sub>1</sub>k<sub>w</sub>0、c<sub>1</sub>k<sub>w</sub>1の位相をずらす位相変更を行うため、外部パルス列x<sub>p</sub>1s0、x<sub>p</sub>1s1を利用した位相制御を行っている。

#### 【0109】

パルス列生成部21aは、外部パルス列x<sub>p</sub>1s0として、画素クロックc<sub>1</sub>k<sub>w</sub>0の位相を遅らせるための外部パルス列x<sub>p</sub>1s0pと、画素クロックc<sub>1</sub>k<sub>w</sub>0の位相を進ませるための外部パルス列x<sub>p</sub>1s0mとのうちのいずれかを出力する。

また、パルス列生成部21bは、外部パルス列x<sub>p</sub>1s1として、画素クロック

クロック  $c_{1k}w_1$  の位相を遅らせるための外部パルス列  $x_{p1s1p}$  と、画素クロック  $c_{1k}w_1$  の位相を進ませるための外部パルス列  $x_{p1s1m}$  とのうちのいずれかを出力する。

#### 【0110】

例えば、基準クロック  $c_{1k}o_0$  から画素クロック  $c_{1k}w_0$  を生成する際、外部パルス列  $x_{p1s0}$ （外部パルス列  $x_{p1s0p}$  または  $x_{p1s0m}$ ）を入力してそのカウント値  $i$  を増減させることにより、通常  $8c_{1k}o$  で生成される画素クロック  $c_{1k}w_0$  を  $9c_{1k}o$  又は  $7c_{1k}o$  で生成する。

つまり、パルス列生成部 21a は、外部パルス列  $x_{p1s0m}$  をクロック生成部 22a へ出力して、カウント値  $i$  を増加させて変更することによって、画素クロック  $c_{1k}w_0$  の周波数は、8/7倍（進み制御）になり、位相変更以降の画素クロック  $c_{1k}w_0$  をシフトすることができる。これは、主走査 1 ラインで見ると、ライン全体の時間を  $T_m$  とした場合、 $T_m - 7/8$ （進み制御）となって全体の倍率を伸長させるといった効果が得られる。

一方、パルス列生成部 21a が、外部パルス列  $x_{p1s0p}$  をクロック生成部 22a へ出力して、カウント値  $i$  を減少させて変更する場合は、画素クロック  $c_{1k}w_0$  の周波数は、8/9倍（遅れ制御）になり、位相変更以降の画素クロック  $c_{1k}w_0$  をシフトすることができる。これは、主走査 1 ラインで見ると、 $T_m + 9/8$ （遅れ制御）となって全体の倍率を短縮させるといった効果が得られる。

このようにして、光走査装置 10 は、環境変動によらず、感光体上の所望の位置に画像を形成することが可能となる。

#### 【0111】

なお、以上図 4 を用いて、基本クロック  $c_{1k}o_0$ 、画素クロック  $c_{1k}w_0$ 、および外部パルス列  $x_{p1s0}$  の関係と、画素クロック  $c_{1k}w_0$  の位相変更とについて説明したが、基本クロック  $c_{1k}o_1$ 、画素クロック  $c_{1k}w_1$ 、および外部パルス列  $x_{p1s1}$  の関係と、画素クロック  $c_{1k}w_1$  の位相変更についても、これに同様であるとする。

#### 【0112】

図5は、本発明の第1の実施形態におけるパルス列生成部21a、21bの構成を示す図である。以下、図5を用いて、パルス列生成部21a、21bの構成および動作について説明する。

#### 【0113】

まず、パルス列生成部21aについて説明する。パルス列生成部21aは、比較器101、102と、カウンタ103、104と、AND回路105、106とを有する。

#### 【0114】

カウンタ103は、クロック生成部22aにより同期検知信号d e t pから生成されたクリア信号x1c1r0を入力し、その入力時点を基準に、同じくクロック生成部22aから入力された画素クロックc1k w0の数をカウントし、そのカウント値iを比較器101へ出力する。

#### 【0115】

比較器101には、レジスタ24から設定値p r d 0が入力され、保持されている。比較器101は、設定値p r d 0とカウンタ103からカウント値iとを比較し、カウント値iが設定値p r d 0に達すると（または設定値p r d 0より大きくなると）、外部パルス列x p l s 0を生成して出力する。

#### 【0116】

カウンタ104は、比較器101から出力された外部パルス列x p l s 0を入力し、その入力回数（外部パルス列x p l s 0の発生回数）をカウントし、そのカウント値jを比較器102へ出力する。

#### 【0117】

比較器102には、レジスタ24から設定値n u m 0が入力され、保持されている。比較器102は、設定値n u m 0とカウンタ104からカウント値jとを比較し、カウント値jが設定値n u m 0に達すると（または設定値n u m 0より大きくなると）、カウンタ103のカウントを停止させるための停止信号0を生成し、カウンタ103へ出力する。

#### 【0118】

AND回路105には、比較器101からパルスx p l s 0が入力される。こ

のとき、レジスタ24から位相遅れ制御信号phase0pが入力されると、AND回路105は、入力されたパルスxpls0を位相遅れ制御用のパルスxplslspとしてクロック生成部22aへ出力する。

#### 【0119】

AND回路106には、比較器101からパルスxpls0が入力される。このとき、レジスタ24から位相進み制御信号phase0mが入力されると、AND回路106は、入力されたパルスxpls0を位相進み制御用のパルスxplslsmとしてクロック生成部22aへ出力する。

#### 【0120】

次に、パルス列生成部21bについて説明する。パルス列生成部21bは、比較器111、112と、カウンタ113、114と、AND回路115、116とを有する。

#### 【0121】

カウンタ113は、クロック生成部22bにより同期検知信号detpから生成されたクリア信号x1clr1を入力し、その入力時点を基準に、同じくクロック生成部22bから入力された画素クロックclkw1の数をカウントし、そのカウント値mを比較器111へ出力する。

#### 【0122】

比較器111には、レジスタ24から設定値prd1が入力され、保持されている。比較器111は、設定値prd1とカウンタ113からカウント値mとを比較し、カウント値mが設定値prd1に達すると（または設定値prd1より大きくなると）、外部パルス列xpls1を生成して出力する。

#### 【0123】

カウンタ114は、比較器111から出力された外部パルス列xpls1を入力し、その入力回数（外部パルス列xpls1の発生回数）をカウントし、そのカウント値nを比較器112へ出力する。

#### 【0124】

比較器112には、レジスタ24から設定値num1が入力され、保持されている。比較器112は、設定値num1とカウンタ114からカウント値nとを

比較し、カウント値  $n$  が設定値  $n_{um1}$  に達すると（または設定値  $n_{um1}$  より大きくなると）、カウンタ 113 のカウントを停止させるための停止信号 1 を生成し、カウンタ 113 へ出力する。

#### 【0125】

AND回路 115 には、比較器 111 からパルス  $x_{pls1}$  が入力される。このとき、レジスタ 24 から位相遅れ制御信号  $phase1p$  が入力されると、AND回路 115 は、入力されたパルス  $x_{pls1}$  を位相遅れ制御用のパルス  $x_{pls1p}$  としてクロック生成部 22b へ出力する。

#### 【0126】

AND回路 116 には、比較器 111 からパルス  $x_{pls1}$  が入力される。このとき、レジスタ 24 から位相進み制御信号  $phase1m$  が入力されると、AND回路 116 は、入力されたパルス  $x_{pls1}$  を位相進み制御用のパルス  $x_{pls1m}$  としてクロック生成部 22b へ出力する。

#### 【0127】

図 6 は、本発明の第 1 の実施形態におけるパルス列生成部 21a、21b の動作の流れを示すフローチャートである。以下、図 4 を用い、図 6 に沿って、本実施形態におけるパルス列生成部 21a、21b による外部パルス列  $x_{pls0}$ 、 $x_{pls1}$  発生動作について説明する。

#### 【0128】

まず、パルス列生成部 21a への電源投入により、カウンタ 103、104 がそれぞれカウント値  $i$ 、 $j$  を「1」にリセットする（ステップ S101）。

#### 【0129】

その後、カウンタ 103 は、クリア信号  $x_{lclr0}$  が入力されるまで待機し（ステップ S102/N<sub>o</sub>）、クリア信号  $x_{lclr0}$  入力後（ステップ S102/Y<sub>es</sub>）、画素クロック  $c_{lkw0}$  が入力されるごとにカウント値  $i$  をカウントアップ（+1）する（ステップ S103）。

#### 【0130】

比較器 101 は、カウント値  $i$  が設定値  $prd0$  に達するまで（ステップ S104/N<sub>o</sub>）、ステップ S103 の動作を行う。

### 【0131】

比較器101は、カウント値iが設定値p r d 0に達する（または設定値p r d 0より大きな値になる）と（ステップS104／Y e s）、パルスx p l s 0を生成する。カウンタ103は、そのパルスx p l s 0の入力により、カウント値iを「1」に戻す（ステップS105）。

比較器101が生成したパルスx p l s 0は、AND回路105、106に入力される。

このとき、このパルスx p l s 0を位相遅れ制御用のx p l s 0 pとする場合、位相遅れ制御信号p h a s e 0 pがAND回路105に入力される。また、このパルスx p l s 0を位相進み制御用のx p l s 0 mとする場合、位相進み制御信号p h a s e 0 mがAND回路106に入力される。

AND回路105は、パルスx p l s 0入力時に、位相遅れ制御信号p h a s e 0 pが入力されると、位相遅れ制御用のパルスx p l s 0 pをクロック生成部22aへ出力する。また、AND回路106は、パルスx p l s 0入力時に、位相進み制御信号p h a s e 0 mが入力されると、位相進み制御用のパルスx p l s 0 mをクロック生成部22bへ出力する。

### 【0132】

また、比較器102がカウンタ104のカウント値jと設定値n u m 0とを比較した結果（ステップS106）、カウント値jがまだ設定値n u m 0に達していない（または設定値n u m 0以下）場合（ステップS106／N o）、カウンタ104は、パルスx p l s 0の入力により、カウント値jをカウントアップ（+1）する（ステップS107）。

### 【0133】

以後、カウンタ103、104及び比較器101が上述の動作を繰り返し、カウント値jが設定値n u m 0に達すると（ステップS106／Y e s）、比較器102は、停止信号0を生成し、カウンタ103へ出力する。カウンタ103に停止信号0が入力されると、カウンタ103はカウント動作を停止する。

### 【0134】

次に、パルス列生成部21bのカウンタ113、114がそれぞれカウント値

m、nを「1」にリセットする（ステップS108）。

#### 【0135】

その後、カウンタ113は、クリア信号x1clr1が入力されるまで待機し（ステップS109／No）、クリア信号x1clr1入力後（ステップS109／Yes）、画素クロックclkw1が入力されるごとにカウント値mをカウントアップ（+1）する（ステップS110）。

#### 【0136】

比較器111は、カウント値mが設定値prd1に達するまで（ステップS111／No）、ステップS110の動作を行う。

#### 【0137】

比較器111は、カウント値mが設定値prd1に達する（または設定値prd1より大きな値になる）と（ステップS111／Yes）、パルスxpls1を発生する。カウンタ113は、そのパルスxpls1の入力により、カウント値mを「1」に戻す（ステップS112）。

#### 【0138】

また、比較器112がカウンタ114のカウント値nと設定値num1とを比較した結果（ステップS113）、カウント値nがまだ設定値num1に達していない（または設定値num1以下）場合（ステップS113／No）、カウンタ114は、パルスxpls1の入力により、カウント値nをカウントアップ（+1）する（ステップS114）。

#### 【0139】

以後、カウンタ113、114及び比較器111が上述の動作を繰り返し、カウント値nが設定値num1に達すると（ステップS113／Yes）、比較器112は、停止信号1を生成し、カウンタ113へ出力する。カウンタ113に停止信号1が入力されると、カウンタ113はカウント動作を停止する。

#### 【0140】

なお、上述のほか、RAM（R a n d o m A c c e s s M e m o r y）テーブル等を利用し、画素クロックclkw0、clkw1でアドレスをカウントアップすることによって出力するデータより、固定パルス列を生成する方法等も

ある。

#### 【0141】

また、図6では、パルス列生成部21aが外部パルス列x p l s 0の発生処理を終了した後に、パルス列生成部21bが外部パルス列x p l s 1の発生処理を開始していたが、パルス列生成部21a、21bによる上記の両処理は、並列処理であるとしてもよい。

#### 【0142】

図7は、本発明の第1の実施形態におけるクリア信号x l c l r 0と外部パルス列x p l s 0との関係を示すタイミングチャートである。

#### 【0143】

図7に示されているように、パルス列生成部21aは、クリア信号x l c l r 0入力後から設定値p r d 0経過後に、外部パルス列x p l s 0の出力を開始する。このとき、パルス列生成部21aは、パルス幅が1 c l k w 0の外部パルス列x p l s 0を、次の外部パルス列x p l s 0入力までの間に、周期p r d 0でパルス数n u m 0出力する。

#### 【0144】

以上説明したように、本実施形態では、画像形成装置が2つのレーザ光源LD0、LD1を用いて走査する場合について説明したが、U個（Uは2以上の整数）のレーザ光源を用いて走査するとしてもよい。この場合、レーザ光源ごとに、レーザ光源ドライバ、パルス列生成部、およびクロック生成部を設け、各レーザ光源における画素クロックの位相変更を行う。

#### 【0145】

以上説明したように、本実施形態によれば、2つ以上のレーザ光源を用いて画像形成を行うマルチビーム方式の画像形成装置において、各レーザ光源ごとにそのレーザビームの位相変更を行うためのパルス列生成部およびクロック生成部を設ける。各パルス列生成部および各クロック生成部は、予め設定された設定値（位相変更を行う周期および回数を示す設定値）に基づいて、それぞれレーザ光源のレーザビーム射出タイミングを制御する画素クロックの位相変更を行う。

従って、画像形成装置に備えられた2つ以上のレーザ光源から射出されるレー

ザビームの波長が互いに異なる場合であっても、共通の光学系を用いて被走査媒体上に高品質の画像形成を行うことが可能となる。

#### 【0146】

##### (第2の実施形態)

本発明の第1の実施形態では、レーザビームの主走査方向の走査経路上において、感光体11の被走査面の領域外に、主走査方向の走査開始位置を揃えるための同期検知部15を設けていた。

本発明の第2の実施形態では、レーザビームの主走査方向の走査経路上において、感光体11の被走査面の領域外に2つの同期検知部（先端同期検知部16と後端同期検知部17）を設ける。先端同期検知部16と後端同期検知部17との間を走査した時間（クロック数）を計測することにより、レーザ光源LD0、LD1の書込倍率の誤差を測定する。

#### 【0147】

図8は、本発明の第2の実施形態における画像形成装置の構成を示す図である。以下、図8を用いて、本実施形態における画像形成装置の構成について説明する。なお、以下特記しない限り、本実施形態における画像形成装置の構成および動作は、本発明の第1の実施形態におけるものと同様であるとする。

#### 【0148】

図8に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU30と、プリンタコントローラ40と、入力手段としての入力手段としての操作部50とを有する。なお、図8に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図8に示されている構成以外の構成を有するとしてもよい。

#### 【0149】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、fθレンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての先端同期検知部16、後端同期検知部17と、レーザ光源LD0、LD1とを有する。

### 【0150】

このように、本実施形態における光走査装置10には、第1の実施形態における同期検知部15の代わりに、先端同期検知部16および後端同期検知部17が設けられている。

### 【0151】

先端同期検知部16は、主走査方向のレーザビーム通過経路上における感光体11被走査面の画像領域外（走査開始位置の直前）に設けられている。先端同期検知部16は、第1の同期検知部15と同様に、fθレンズ12を透過して照射されたレーザビームを検知する。先端同期検知部16は、レーザ光源LD0、LD1からのレーザビームを検知すると、主走査方向のレーザビームによる書き込み開始位置を規定する（書き込み開始位置を常に被走査面上の同じ位置に揃えるための）同期検知信号d e t pを生成してデータ制御装置20へ出力する。

### 【0152】

後端同期検知部17は、主走査方向のレーザビーム通過経路上における感光体11被走査面の画像領域外（走査開始位置の直後）に設けられている。後端同期検知部17は、1主走査期間走査後のレーザ光源LD0、LD1からのレーザビームを検知する。後端同期検知部17は、レーザビームを検知すると、1主走査期間分（1主走査ライン分）、走査が終了したことを示す走査終了信号e d p 0、e d p 1を走査時間測定部25a、25bへ出力する。

### 【0153】

光走査装置10が有する他の部位に関しては、第1の実施形態と同様の構成であって、同様の動作を行うものとする。

### 【0154】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画素クロック生成手段としてのクロック生成部22a、22bと、画像データ処理部23と、レジスタ24と、走査時間測定手段としての走査時間測定部25a、25bと、を有する。

**【0155】**

第2の実施形態におけるデータ制御装置20は、第1の実施形態のデータ制御装置20の構成に、さらに走査時間測定部25a、25bが追加されている。

**【0156】**

クロック生成部22aは、第1の実施形態と同様に、画素クロックc1kw0およびクリア信号x1c1r0をパルス列生成部21aへ出力するとともに、走査時間測定部25aに対しても画素クロックc1kw0およびクリア信号x1c1r0を出力する。

**【0157】**

クロック生成部22bは、第1の実施形態と同様に、画素クロックc1kw1およびクリア信号x1c1r1をパルス列生成部21bへ出力するとともに、走査時間測定部25bに対しても画素クロックc1kw1およびクリア信号x1c1r1を出力する。

**【0158】**

走査時間測定部25aには、クロック生成部22aから画素クロックc1kw0およびクリア信号x1c1r0が入力される。また、走査時間測定部25aには、後端同期検知部17から走査終了信号edp0が入力される。走査時間測定部25aは、クリア信号x1c1r0が入力されてから走査終了信号edp0が入力されるまでの間の時間（画素クロック数）T0（以下測定値T0；T0は正の整数）を測定し、レジスタ24へ出力する。

**【0159】**

走査時間測定部25bには、クロック生成部22bから画素クロックc1kw1およびクリア信号x1c1r1が入力される。また、走査時間測定部25bには、後端同期検知部17から走査終了信号edp1が入力される。走査時間測定部25bは、クリア信号x1c1r1が入力されてから走査終了信号edp1が入力されるまでの間の時間（画素クロック数）T1（以下測定値T1；T1は正の整数）を測定し、レジスタ24へ出力する。

**【0160】**

レジスタ24は、CPU30により設定された設定値prd0、prd1、n

u m 0、n u m 1に加えて、走査時間測定部2 5 a、2 5 bからそれぞれ入力された測定値T 0、T 1を一時的に格納する記憶媒体である。

また、レジスタ2 4は、書込倍率に誤差がない状態における、クリア信号x 1 c l r 0が入力されてから走査終了信号e d p 0が入力されるまでの間の時間を示す基準値T r e fを保持する。基準値T r e fは、所定の時間（クロック数）を示す数値であって、正の整数で表される。

レジスタ2 4は、設定値p r d 0、n u m 0をパルス列生成部2 1 aに出力し、設定値p r d 1、n u m 1をパルス列生成部2 1 bに出力する。

#### 【0161】

C P U 3 0は、中央処理装置、プログラムR O M等からなるマイクロコンピュータであり、光走査装置1 0およびデータ制御装置2 0を含むエンジンユニット（画像形成装置本体）全体を統括的に制御する。

C P U 3 0は、走査時間比較手段および設定値算出手段として機能する。

C P U 3 0は、第1の実施形態と同様に、操作部5 0により入力された設定値p r d 0、p r d 1、n u m 0、n u m 1をレジスタ2 4に設定する。

本実施形態では、C P U 3 0は、さらに、レジスタ2 4に保持されている基準値T r e fおよび測定値T 0、T 1を用いて、レーザ光源L D 0、L D 1の書込倍率のずれを算出する。C P U 3 0は、その書込倍率のずれに基づいて、新たな設定値p r d 0、p r d 1、n u m 0、n u m 1を算出し、レジスタ2 4に設定する。

パルス列生成部2 1 aは、レジスタ2 4に新たに設定された設定値p r d 0、n u m 0に基づいて、新たに外部パルス列x p l s 0を生成する。

また、同様に、パルス列生成部2 1 bは、レジスタ2 4に新たに設定された設定値p r d 1、n u m 1に基づいて、新たに外部パルス列x p l s 1を生成する。

このようにして、本実施形態によれば、先端同期検知部1 6にレーザビームが入射してから後端同期検知部1 7にレーザビームが入射するまでの時間を計測し、その計測値T 0、T 1と、基準値T r e fとの差分を算出し、その算出した差分に基づいて、生成する外部パルス列の数を決定する。

従って、各レーザ光源による書込倍率差を自動的に補正し、その書込倍率差により生じる像の劣化を容易に抑制することが可能となる。

#### 【0162】

図9は、本発明の第2の実施形態における先端同期検知部16および後端同期検知部17により出力される信号を示す図である。また、図10の(a)は、本発明の第2の実施形態におけるレーザ光源LD0、LD1の配置位置の関係を示す図であり、(b)は、本発明の第2の実施形態におけるレーザ光源LD0、LD1によるレーザビーム照射を示す図である。

以下、図9および図10を用いて、走査時間測定部25a、25bによるレーザ光源LD0、LD1の測定値T0、T1の測定動作について説明する。

#### 【0163】

図9に示されているように、先端同期検知部16および後端同期検知部17は、レーザ光源LD0、LD1からのレーザビーム入射を検知する。このとき、先端同期検知部16および後端同期検知部17は、先にレーザ光源LD0からのレーザビームを検知した後に、レーザ光源LD1からのレーザビームを検知する。このように先端同期検知部16および後端同期検知部17が、必ずレーザ光源LD0からのレーザビームを先に検知するための構成を説明する。

#### 【0164】

図10の(a)、(b)に示されているように、レーザ光源LD0は、レーザ光源LD1よりも主走査方向に距離Wxだけ離れて設置されている。この距離Wxを利用して、各レーザビームが入射されるポリゴンミラー13上の位置を異なるさせる。

つまり、レーザ光源LD0からのレーザビームを、レーザ光源LD1からのレーザビームの入射位置よりもポリゴンミラー13の回転方向の上流側に入射させる。このことにより、常にレーザ光源LD0からのレーザビームがレーザ光源LD1よりも早いタイミングで先端同期検知部16および後端同期検知部17に入射されることとなる。

#### 【0165】

また、常に、レーザ光源LD0が、レーザ光源LD1よりも早いタイミングで

レーザビームを射出するように制御することで、常にレーザ光源LD0からのレーザビームをレーザ光源LD1よりも早いタイミングで先端同期検知部16および後端同期検知部17に入射させることも可能である。以下、この動作を詳細に説明する。

まず、レーザ光源LD0は、レーザビームを射出する。先端同期検知部16は、（レーザ光源LD0からの）レーザビームの入射を検知すると、レーザ光源LD0からのレーザビームが入射したことを示す信号を、レーザ光源ドライバ14bに対して出力する。レーザ光源ドライバ14bは、レーザ光源LD0からのレーザビームが入射したことを示す信号を認識すると、レーザ光源LD1のレーザビームの射出を開始する。

このように、レーザ光源LD0からのレーザビームが先端同期検知部16に検知されてから、レーザ光源LD1が射出されるので、常にレーザ光源LD0からのレーザビームをレーザ光源LD1よりも早いタイミングで先端同期検知部16および後端同期検知部17に入射させることが可能となる。

#### 【0166】

画像形成装置は、以上説明した2つの機構（ポリゴンミラー13への入射位置の調整とレーザビームの射出タイミング調整）のいずれかを備えるとしてもよいし、両方備えるとしてもよい。

#### 【0167】

図11は、本発明の第2の実施形態における走査時間測定部25a、25bの構成を示す図である。以下、走査時間測定部25a、25bの構成について説明する。

#### 【0168】

走査時間測定部25aは、カウンタ201と、ラッチ202とを有する。

カウンタ201には、クロック生成部22aから画素クロックc1kw0およびクリア信号x1c1r0が入力される。ラッチ202には、後端同期検知部17から走査終了信号edp0が入力される。

カウンタ201は、自身にクリア信号x1c1r0が入力された時点を基準として画素クロックc1kw0のカウントを開始する。ラッチ202は、走査終了

信号 e d p 0 が入力されると、その入力時点におけるカウンタ 201 のカウント値（画素クロック数）をラッチする。ラッチ 202 は、そのカウント値（クリア信号 x 1 c 1 r 0 がカウンタ 201 に入力された時点から、走査終了信号 e d p 0 がラッチ 202 に入力された時点までの画素クロック数）を計測値（時間）T 0 としてレジスタ 24 へ出力する。

### 【0169】

走査時間測定部 25b は、カウンタ 211 と、ラッチ 212 とを有する。

カウンタ 211 には、クロック生成部 22b から画素クロック c 1 k w 1 およびクリア信号 x 1 c 1 r 1 が入力される。ラッチ 212 には、後端同期検知部 17 から走査終了信号 e d p 1 が入力される。

カウンタ 211 は、自身にクリア信号 x 1 c 1 r 1 が入力された時点を基準として画素クロック c 1 k w 1 のカウントを開始する。ラッチ 212 は、走査終了信号 e d p 1 が入力されると、その入力時点におけるカウンタ 211 のカウント値（画素クロック数）をラッチする。ラッチ 212 は、そのカウント値（クリア信号 x 1 c 1 r 1 がカウンタ 211 に入力された時点から、走査終了信号 e d p 1 がラッチ 212 に入力された時点までの画素クロック数）を計測値（時間）T 1 としてレジスタ 24 へ出力する。

### 【0170】

図 12 は、本発明の第 2 の実施形態における画像形成装置による画素クロックの位相調整動作の流れを示すフローチャートである。以下、図 12 に沿って、本実施形態における画像形成装置による画素クロック c 1 k w 0 の位相調整動作について説明する。

### 【0171】

まず、先端同期検知部 16 は、レーザビームを検知するまで（ステップ S 201 / N o）、検知動作を行い、1 回目のレーザビーム（レーザ光源 L D 0 からのレーザビーム）を検知すると（ステップ S 201 / Y e s）、同期検知信号 d e t p をクロック生成部 22a へ出力する。

クロック生成部 22a は、自身に同期検知信号 d e t p が入力された時点を基準として、クリア信号 x 1 c 1 r 0 を生成し、走査時間測定部 25a へ出力する

。また、クロック生成部22aは、生成した画素クロックc1kw0を走査時間測定部25aへ出力する。

### 【0172】

走査時間測定部25aのカウンタ201は、クリア信号x1clr0が入力された時点を基準として、画素クロックc1kw0のカウントを開始する（ステップS202）。

### 【0173】

後端同期検知部17は、レーザビームを検知するまで（ステップS203／No）、検知動作を行い、1回目のレーザビーム（レーザ光源LD0からのレーザビーム）を検知すると（ステップS203／Yes）、走査終了信号edp0を走査時間測定部25aへ出力する。

走査時間測定部25aのラッチ202は、走査終了信号edp0入力時点のカウンタ201のカウント値をラッチする（ステップS204）。

このときラッチされたカウント値は、「クリア信号x1clr0がカウンタ201に入力された時点から、走査終了信号edp0がラッチ202に入力された時点までの画素クロック数」、つまり、「レーザ光源LD0のレーザビームが先端同期検知部16に入射されてから後端同期検知部17に入射されるまでにおける画素クロック数」を示す。

ラッチされたカウント値は、測定値T0としてレジスタ24に保持される。

### 【0174】

次に、CPU30は、レジスタ24に保持されている測定値T0と、基準値Trerefと、位相単位とを用いて、パルス列生成部21aに増減させる出力パルス数を算出する（ステップS205）。

なお、位相単位とは、画素クロックの位相制御で増減可能な最小単位であって、（画素クロックの周波数）／（基本クロックの周波数）で示される。

例えば、図4で示される例では、画素クロックc1kw0は、基本クロックc1k00が8クロックで1クロックとなる。この場合、画素クロックc1kw0は、1c1k0単位、すなわち1／8×c1kw単位で位相制御可能であるので、位相単位は「1／8」となる。

ここで、パルス列生成部21aに増減させる出力パルス数の算出方法について詳細に説明する。

CPU30は、(測定値T0－基準値Tref)／位相単位を計算し、パルス数増減分を算出する。

例えば、測定値T0が「8 (clkw)」、基準値Trefが「5 (clkw)」、位相単位が「1／8」である場合、 $(8 - 5) \times 8 = 24$ と算出される。

### 【0175】

CPU30は、算出された値分だけパルス列生成部21aによる出力パルス数を増減させるように、新たに設定値prd0、num0を設定し、レジスタ24に書き込む（ステップS206）。

例えば、上記のように、算出された値が「24」である場合、算出された値が正であるので、CPU30は、出力パルス数が「24」増加するように新たに設定値prd0、num0（前回のnum0+算出値（ここでは24））をレジスタ24に設定するとともに、位相進み制御信号phase0mをパルス列生成部21aへ出力する。

算出された値が負である場合、CPU30は、その値の絶対値分だけ出力パルス数を減少させるような新たな設定値prd0、num0（前回のnum0+算出値（ここでは負の整数值））をレジスタ24に設定するとともに、位相遅れ制御信号phase0pをパルス列生成部21aへ出力する。

### 【0176】

なお、CPU30は、クリア信号x1clr0間隔（一走査期間）内にパルス数num0のパルスが収まるように、

$x1clr0\text{間隔} > prd0 \times num0$

の条件を満たすような設定値prd0、num0を新たに設定するものとする。

### 【0177】

図12に示される処理は、先端同期検知部16および後端同期検知部17によりレーザビームが検知されるごとに（測定値T0が測定されるごとに）、繰り返されるとしてもよい。この場合、各主走査ラインごとに画素クロックの位相調整

を行い、レーザ光源の書き誤差を補正することが可能となる。

#### 【0178】

なお、以上、画素クロック  $c1kw0$  の位相変更動作について説明したが、画素クロック  $c1kw1$  の位相変更動作についても、同様に、レーザ光源  $LD1$  のレーザビームが先端同期検知部  $16$  に入射されてから後端同期検知部  $17$  に入射されるまでにおける画素クロック数を測定した後に、設定値  $prd1$ 、 $num1$  設定が行われるものとする。

#### 【0179】

また、本実施形態では、画像形成装置が2つのレーザ光源  $LD0$ 、 $LD1$  を用いて走査する場合について説明したが、 $U$  個（ $U$  は2以上の整数）のレーザ光源を用いて走査するとしてもよい。この場合、画像形成装置には、レーザ光源ごとに  $U$  個の走査時間測定部、レーザ光源ドライバ、パルス列生成部、およびクロック生成部が設けられ、各走査時間測定部は、各レーザ光源のレーザビームが先端同期検知部  $16$  に入射してから後端同期検知部  $17$  に入射するまでの時間を測定する。CPU30は、その測定値を用いて、各レーザ光源の設定値を設定する。

#### 【0180】

以上説明したように、本実施形態によれば、レーザ光源  $LD0$ 、 $LD1$  のレーザビームが先端同期検知部  $16$  に検知されてから後端同期検知部  $17$  に検知されるまでの測定値  $T0$ 、 $T1$ （画素クロック数）を測定し、その測定値  $T0$ 、 $T1$  を用いて、パルス列生成部  $21a$ 、 $21b$  が生成および出力するパルス  $xpls0$ 、 $xpls1$  の増減数を算出する。そのパルス増減数に基づいて、パルス列生成部  $21a$ 、 $21b$  は、外部パルス列  $xpls0$ 、 $xpls1$  を出力する。

従って、設定値  $prd0$ 、 $prd1$ 、 $num0$ 、 $num1$  を操作者が直接入力する作業を省略することができ、容易に2つ以上のレーザ光源（レーザ光源  $LD0$ 、 $LD1$ ）の波長差などに起因する書き倍率差を補正することが可能となる。

また、動作中における温度変化などにおける経時的な環境変動に起因するレーザ光源の書き誤差が生じた場合であっても、1主走査ラインごとに書き誤差の補正ができるので正確な画像を形成することが可能となる。

#### 【0181】

### （第3の実施形態）

本発明の第1の実施形態では、レーザ光源ごとに、設定値（設定値  $prd0$ 、 $prd1$ 、 $num0$ 、 $num1$ ）を入力して設定していた。

これに対し、本実施形態では、画像形成装置が2つ以上のレーザ光源を有している場合であっても、1つのレーザ光源に対して、設定値（外部パルス列の発生間隔および発生パルス数）のみを入力するだけで、各レーザ光源の書き誤差の補正を容易に行うことが可能となる。以下、本実施形態における構成および動作について詳細に説明する。

#### 【0182】

本実施形態では、2つ以上のレーザ光源を用い、1つの光学系を共有して像形成を行う。2つ以上のレーザ光源による書き誤差が、共有する光学系におけるレンズの歪みなどに起因する場合、2つ以上のレーザ光源間の書き倍率差、つまり設定値（外部パルス列の発生間隔および発生パルス数）の相対的な差は、環境変動により変化しないとすることができる。このような場合、画像形成装置は、各レーザ光源間の設定値の相対的な差を示す情報を予め格納しておくことにより、ある1つのレーザ光源に関する設定値だけを入力するだけで全てのレーザ光源の書き倍率差を補正することが可能となる。

#### 【0183】

図13は、本発明の第3の実施形態における画像形成装置の構成を示す図である。なお、以下特記しない限り、本実施形態における構成および動作は、本発明の第1の実施形態と同様であるものとして、説明を進める。

#### 【0184】

図13に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、走査時間比較手段または設定値算出手段としてのCPU30と、プリンタコントローラ40と、入力手段としての入力手段としての操作部50とを有する。なお、図1に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図13に示されている構成以外の構成を有するしてもよい。

#### 【0185】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、 $f\theta$ レンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての同期検知部15と、レーザ光源LD0、LD1とを有する。

### 【0186】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画素クロック生成手段としてのクロック生成部22a、22bと、画像データ処理部23と、設定値保持手段としてのレジスタ24とを有する。

### 【0187】

本実施形態におけるレジスタ24は、さらに、レーザ光源LD1の設定値とレーザ光源LD0の設定値の差分を示す差分設定値 $prd1d$ （LD1の設定値 $prd1$ －LD0の設定値 $prd0$ ）、 $num1d$ （LD1の設定値 $num1$ －LD0の設定値 $num0$ ）を保持する。

つまり、差分設定値 $prd1d$ は、レーザ光源LD1とレーザ光源LD0との間におけるパルス発生間隔（画素クロック数）の差であり、差分設定値 $num1d$ は、レーザ光源LD1とレーザ光源LD0との間におけるパルス数の差である。なお、差分設定値 $prd1d$ 、 $num1d$ は整数値をとる。

### 【0188】

図14は、本発明の第3の実施形態におけるレーザ光源LD0、LD1の設定値の設定動作を示す図である。また、図15は、本発明の第3の実施形態におけるレーザ光源LD0、LD1の設定値の設定動作の流れを示すフローチャートを示す図である。以下、図13乃至図15を用いて、本実施形態における各レーザ光源の設定値の設定動作について説明する。

### 【0189】

まず、操作部50は、操作者の操作によりレーザ光源LD0の設定値（外部パルス列の発生間隔） $prd0$ と、設定値（外部パルス列の発生パルス数） $num0$ とを入力する。

### 【0190】

CPU30は、レーザ光源LD0の設定値prd0、num0が入力されたか否かを判断し（ステップS301）、設定値prd0、num0がまだ入力されていないと判断した場合（ステップS301/N0）、ステップS301の動作が繰り返される。

### 【0191】

CPU30は、設定値prd0、num0入力を認識すると（ステップS201/Yes）、レジスタ24に格納されている差分設定値prd1d、num1dを読み出す（ステップS302）。

### 【0192】

次に、CPU30は、LD0の設定値prd0に差分設定値prd1dを加算したものをLD1の設定値prd1として算出する。また、CPU30は、LD0の設定値num0に差分設定値num1dを加算したものをLD1の設定値num1として算出する（ステップS303）。

### 【0193】

以上、本実施形態では、画像形成装置が2つのレーザ光源LD0、LD1を用いて走査する場合について説明したが、U個（Uは2以上の整数）のレーザ光源を用いて走査するとしてもよい。この場合、画像形成装置には、レーザ光源ごとに、レーザ光源ドライバ、パルス列生成部、およびクロック生成部が設けられる。また、レジスタ24は、ある1つのレーザ光源の設定値に対する差分設定値をレーザ光源ごとに保持し、CPU30は、その差分設定値を用いて、各レーザ光源の設定値を設定する。

### 【0194】

以上説明したように、本実施形態によれば、ある1つの基準となるレーザ光源の設定値に対する設定値の相対的な差を示す情報（差分設定値）を、レーザ光源ごとに予め格納しておき、レーザビーム走査開始前に、上記の基準となるレーザ光源の設定値を入力すると、各差分設定値を用い、他のレーザ光源の設定値を算出して設定する。

従って、1つのレーザ光源の設定値を設定しただけで他のレーザ光源の設定値

を自動的に設定し、各レーザ光源の書き込み倍率差を容易に補正することが可能となる。

### 【0195】

#### (第4の実施形態)

本実施形態における画像形成装置は、本発明の第2の実施形態における画像形成装置が、本発明の第3の実施形態における設定値の設定を動作可能としたものである。

### 【0196】

図16は、本発明の第4の実施形態における画像形成装置の構成を示す図である。以下、図16を用いて、本実施形態における画像形成装置の構成について説明する。なお、以下特記しない限り、本実施形態における画像形成装置の構成および動作は、本発明の第2の実施形態におけるものと同様であるとする。

### 【0197】

図16に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU30と、プリンタコントローラ40と、入力手段としての入力手段としての操作部50とを有する。なお、図16に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図16に示されている構成以外の構成を有するとしてもよい。

### 【0198】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、fθレンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての先端同期検知部16、後端同期検知部17と、レーザ光源LD0、LD1とを有する。

### 【0199】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画素クロック生成手段としてのクロック生成部22a、22bと、画像データ処理部

23と、レジスタ24と、走査時間測定手段としての走査時間測定部25aとを有する。

#### 【0200】

本実施形態におけるレジスタ24は、第3の実施形態と同様に、さらに、レーザ光源LD1の設定値とレーザ光源LD0の設定値の差分を示す差分設定値prd1d（LD1の設定値prd1-LD0の設定値prd0）、num1d（LD1の設定値num1-LD0の設定値num0）を保持する。

#### 【0201】

図17は、本発明の第4の実施形態における画像形成装置による設定値の設定動作の流れを示すフローチャートである。以下、図17に沿って、本実施形態におけるCPU30による設定値prd0、prd1、num0、num1の設定動作について説明する。

#### 【0202】

まず、レーザ光源LD0からのレーザビームが先端同期検知部16に入射してから後端同期検知部17に入射するまでの間の画素クロック数を示す測定値T0を用いて、CPU30は、レーザ光源LD0の設定値prd0、num0を新たに設定する（ステップS401）。なお、このステップS401における処理は、図12に示される処理と同様であるとしてよい。

#### 【0203】

次に、CPU30は、そのLD0の新たな設定値prd0、num0と、予めレジスタ24に保持されていた差分設定値prd1d、num1dと、位相単位とを用いて、レーザ光源LD1の設定値prd1、num1を算出し、レジスタ24に書き込む（ステップS402）。

CPU30は、新たな測定値T0が入力されるごとに（ステップS403/Yes）、新たに設定値prd0、prd1、num0、num1を算出し、設定する。新たな測定値T0が入力されなければ（ステップS403/No）、設定値設定動作を終了する。

#### 【0204】

以上説明したように、本実施形態では、画像形成装置が2つのレーザ光源LD

0、LD1を用いて走査する場合について説明したが、U個（Uは2以上の整数）のレーザ光源を用いて走査するとしてもよい。この場合、画像形成装置には、レーザ光源ごとに、レーザ光源ドライバ、パルス列生成部、およびクロック生成部が設けられる。また、レジスタ24は、ある1つのレーザ光源の設定値に対する差分設定値をレーザ光源ごとに保持し、CPU30は、その差分設定値を用いて、各レーザ光源の設定値を設定する。

### 【0205】

以上説明したように、本実施形態によれば、レーザ光源LD0のレーザビームが先端同期検知部16に検知されてから後端同期検知部17に検知されるまでの測定値T0（画素クロック数）を測定し、その測定値T0を用いてレーザ光源LD0の設定値prd0、num0を設定して、パルス列生成部21aによるパルスxpls0の出力数を制御する。

次に、予めレジスタ24に保持されている差分設定値prd1d、num1dと、LD0の設定値prd0、num0と、位相単位とを用いてレーザ光源LD1の設定値prd1、num1を算出し、パルス列生成部21bによるパルスxpls1の出力数を制御する。

従って、設定値prd0、prd1、num0、num1を操作者が直接入力する作業を省略することができ、容易に2つ以上のレーザ光源（レーザ光源LD0、LD1）の書き込み倍率差を補正することが可能となる。

また、動作中における温度変化などにおける経時的な環境変動に起因するレーザ光源の書き込み誤差が生じた場合であっても、1主走査ラインごとに書き込み誤差の補正ができるので正確な画像を形成することが可能となる。

また、ある1つのレーザ光源（レーザ光源LD0）のレーザビームだけを先端同期検知部16および後端同期検知部17により検知してその書き込み誤差を補正し、他のレーザ光源（レーザ光源LD1）の書き込み誤差は、予めレジスタ24に保持されている差分設定値を用いてプログラム処理により補正する。従って、走査時間測定部を1つだけ設ければよく（走査時間測定部をレーザ光源の設置個数分、設ける必要がなく）、書き込み誤差の補正処理の簡易化を実現することが可能となる。

### 【0206】

(第5の実施形態)

各主走査ライン上において、主走査方向の同じ位置で画素クロックの位相変更を行うと、出力画像（最終画像）上で縦方向（副走査方向）でスジ等の目立ちやすいパターンが形成されてしまう場合があった。

本実施形態における画像形成装置は、各主走査ラインにおいて画素クロックの位相変更を行う主走査方向の位置を異ならすことにより、上述したスジ等の目立ちやすいパターン形成を防止するものである。

### 【0207】

図18は、本発明の第5の実施形態における画像形成装置の構成を示す図である。以下、図18を用いて、本実施形態における画像形成装置の構成について説明する。なお、以下特記しない限り、本実施形態における画像形成装置の構成および動作は、第1の実施形態におけるものと同様であるとする。

### 【0208】

図18に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU30と、プリントコントローラ40と、入力手段としての入力手段としての操作部50とを有する。なお、図18に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図18に示されている構成以外の構成を有するとしてもよい。

### 【0209】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、fθレンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての同期検知部15と、レーザ光源LD0、LD1とを有する。

### 【0210】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画素クロック生成手段としてのクロック生成部22a、22bと、画像データ処理部

23と、レジスタ24と、シフト生成部26a、26bとを有する。

CPU30は、中央処理装置、プログラムROM等からなるマイクロコンピュータであり、光走査装置10およびデータ制御装置20を含むエンジンユニット（画像形成装置本体）全体を統括的に制御する。CPU30は、操作部50から入力された情報をレジスタ24に出力して設定する。

CPU30は、走査時間比較手段および設定値算出手段として機能する。

#### 【0211】

プリンタコントローラ40は、ページ単位の画像データを1ライン（1走査）ごとに画像信号（ビデオ信号）として画像データ処理部23に送出する。

#### 【0212】

本実施形態におけるレジスタ24は、CPU30により予め設定された初期シフト設定値osft0、osft1を保持する。

#### 【0213】

また、本実施形態における画像形成装置は、第1の実施形態における画像形成装置の構成に加えて、シフト生成部26a、26bを有する。

シフト生成部26a、26bは、それぞれ上述した初期シフト設定値osft0、osft1を用いて、1主走査ラインごとに、それぞれ画素クロックclkw0、clkw1における位相変更する主走査方向の位置を変化させるためのシフト信号sft0、sft1を生成し、それぞれパルス列生成部21a、21bへ出力する。

#### 【0214】

図19は、本発明の第5の実施形態におけるシフト生成部26a、26bの構成を示す図である。以下、図19を用いて、本実施形態におけるシフト生成部26a、26bの構成および動作について詳細に説明する。

#### 【0215】

シフト生成部26aは、カウンタ301と、演算器302とを有する。

カウンタ301は、クロック生成部22aからクリア信号x1clr0が入力される毎に、カウント値pのカウントアップ（+1）を行う。つまり、カウンタ301は、副走査方向のライン数（主走査回数）のカウントを行い、そのカウン

ト値 p を出力する。

演算器 302 は、カウンタ 301 から入力するカウント値 p に従い、レジスタ 24 から入力（設定）された初期シフト信号（初期シフト設定値）osft0 に演算処理を加え、シフト信号 sft0 をパルス列生成部 21a へ出力する。

#### 【0216】

シフト生成部 26b は、カウンタ 311 と、演算器 312 とを有する。

カウンタ 311 は、クロック生成部 22b からクリア信号 x1c1r1 が入力される毎に、カウント値 q のカウントアップ (+1) を行う。つまり、カウンタ 311 は、副走査方向のライン数（主走査回数）のカウントを行い、そのカウント値 q を出力する。

演算器 312 は、カウンタ 311 から入力するカウント値 q に従い、レジスタ 24 から入力された初期シフト信号（初期シフト設定値）osft1 に演算処理を加え、シフト信号 sft1 をパルス列生成部 21b へ出力する。

#### 【0217】

図 20 は、本発明の第 5 の実施形態におけるパルス列生成部 21a、21b の構成を示す図である。以下、図 20 を用いて、本実施形態におけるパルス列生成部 21a、21b の構成および動作について説明する。なお、以下特記しない限り、本実施形態におけるパルス列生成部 21a、21b の構成および動作は、第 1 の実施形態における位相変更手段としてのパルス列生成部 21a、21b と同様であるものとする。

#### 【0218】

パルス列生成部 21a は、比較器 101、102 と、カウンタ 103、104 と、AND 回路 105、106 とを有する。

#### 【0219】

パルス列生成部 21b は、比較器 111、112 と、カウンタ 113、114 と、AND 回路 115、116 とを有する。

#### 【0220】

本実施形態では、カウンタ 103、113 にそれぞれシフト生成部 26a、26b からシフト信号 sft0、sft1 が入力される点が第 1 の実施形態と異なる。

る。

カウンタ103、113が、それぞれ入力されたシフト信号s<sub>ft</sub>0、s<sub>ft</sub>1が示すシフト値SFT0、SFT1だけ、それぞれ画素クロックc<sub>lkw</sub>0、c<sub>lkw</sub>1のカウント開始を遅らせることにより、パルス列生成部21a、21bからの外部パルス列x<sub>pl</sub>s0、x<sub>pl</sub>s1の出力タイミングがシフト値SFT0、SFT1だけシフトする（遅れる）。

### 【0221】

以下、外部パルス列x<sub>pl</sub>s0、x<sub>pl</sub>s1のシフト動作について詳細に説明する。

ここで、x<sub>lc1r0</sub>間隔と、パルスx<sub>pl</sub>s0の発生間隔p<sub>rd0</sub>と、パルスx<sub>pl</sub>s0のパルス数num0と、シフト信号s<sub>ft</sub>0が示すシフト量（ここでは「SFT0」で示す）との関係が、次の関係であると仮定する。

$$x_{lc1r0} \text{ 間隔} > p_{rd0} \times num0 + SFT0$$

よって、SFT0は、(x<sub>lc1r0</sub>間隔 - p<sub>rd0</sub> × num0)未満となる。

仮に、外部パルス列x<sub>pl</sub>s0を1ライン（1走査）毎にシフトする処理を行い、それを4回行ったら元の外部パルス列x<sub>pl</sub>s0に戻すパターンを作るとすると、CPU30は、

$$(x_{lc1r0} \text{ 間隔} - p_{rd0} \times num0) \times 1/4$$

によるデータを初期シフト設定値os<sub>ft</sub>0としてレジスタ24に設定する。

### 【0222】

演算器302は、カウンタ301がカウント値pをカウントアップ(+1)する毎にシフト信号s<sub>ft</sub>0を出力する。この例では、カウントアップする毎にそのカウント値pと初期設定値os<sub>ft</sub>0との積を算出する。

### 【0223】

図21は、本発明の第5の実施形態において、初期シフト設定値os<sub>ft</sub>0を(x<sub>lc1r0</sub>間隔 - p<sub>rd0</sub> × num0) × 1/4とした場合における外部パルス列x<sub>pl</sub>s0のシフトを示す図である。

図21に示されているように、1回目のカウントアップ時(p=1)にはos

$s_f t_0$  を、 2回目のカウントアップ時 ( $p = 2$ ) には  $o_s f t_0$  を2倍した値を、 3回目のカウントアップ時 ( $p = 3$ ) には  $o_s f t_0$  を3倍した値を、 4回目のカウントアップ時 ( $p = 4$ ) には  $o_s f t_0$  を4倍した値をそれぞれシフト信号  $s_f t_0$  として出力する。そして、カウンタ301から入力するカウント値  $p$  が「5」になると、つまり、カウント値  $p$  と  $o_s f t_0$  との積が ( $x_1 c_1 r$  間隔 -  $p_{rd} \times num_0$ ) を越えると、カウンタ301のカウント値  $p$  が「0」にクリア（リセット）されるので、シフト信号  $s_f t_0$  が示すシフト量を「0」にして ( $s_f t = 0$ ) 、以後上述の動作を繰り返す。

#### 【0224】

このようにして、パルス列生成部21aは、1ライン毎にシフト信号  $s_f t_0$  の値だけずれた（シフトされた）外部パルス列  $x_{pl}s_0$  を順次出力させることができる。

#### 【0225】

以上、初期シフト設定値  $o_s f t_0$  を ( $x_1 c_1 r$  間隔 -  $p_{rd} \times num_0$ )  $\times 1/4$  とした場合について説明した。以下、他の例として、初期シフト設定値  $o_s f t_0$  を ( $x_1 c_1 r$  間隔 -  $p_{rd} \times num_0$ )  $\times 3/7$  とした場合について説明する。

#### 【0226】

図22は、本発明の第5の実施形態において、初期シフト設定値  $o_s f t_0$  を ( $x_1 c_1 r$  間隔 -  $p_{rd} \times num_0$ )  $\times 3/7$  とした場合における外部パルス列  $x_{pl}s_0$  のシフトを示す図である。

図22に示されているように、1回目のカウントアップ時 ( $p = 1$ ) には  $o_s f t_0$  を、2回目のカウントアップ時 ( $p = 2$ ) には  $o_s f t_0$  を2倍した値を、3回目のカウントアップ時 ( $p = 3$ ) には  $o_s f t_0$  を3倍した値...とシフトさせていく。ここで、 $o_s f t_0 \times 3$  は、 $x_1 c_1 r$  間隔 -  $p_{rd} \times num_0$   $\times 9/7$  となり、 ( $x_1 c_1 r$  間隔 -  $p_{rd} \times num_0$ ) を越える。この場合、超えた（一致した）時点で、カウンタ301のカウント値  $p$  が「0」にクリア（リセット）されるので、シフト信号  $s_f t_0$  が示すシフト量を「 $x_1 c_1 r$  間隔 -  $p_{rd} \times num_0$ 」  $\times 2/7$  」としてシフト処理を続ける。

## 【0227】

このように、 $(x1c1r0\text{間隔} - p_{rd0} \times num0)$  を超えた（一致した）時点で、カウンタ301のカウント値pが「0」にクリアされるので、初期シフト設定値osft0を $(x1c1r0\text{間隔} - p_{rd0} \times num0) \times 3/7$ とした場合、シフト値は、順に、

$(x1c1r0\text{間隔} - p_{rd0} \times num0) \times 3/7$  (p=1)、  
 $(x1c1r0\text{間隔} - p_{rd0} \times num0) \times 6/7$  (p=2)、  
 $(x1c1r0\text{間隔} - p_{rd0} \times num0) \times 2/7$  (p=3)、  
 $(x1c1r0\text{間隔} - p_{rd0} \times num0) \times 5/7$  (p=4)、  
 $(x1c1r0\text{間隔} - p_{rd0} \times num0) \times 1/7$  (p=5)、  
 $(x1c1r0\text{間隔} - p_{rd0} \times num0) \times 4/7$  (p=6) となり、  
 $(x1c1r0\text{間隔} - p_{rd0} \times num0) \times 7/7$  (p=7) となった時点で「0」とする。

## 【0228】

このように、初期シフト設定値osft0を $(x1c1r0\text{間隔} - p_{rd0} \times num0) \times A/B$  (A、Bは素数)とした場合、カウント値p (またはq) = Bとなると、外部パルス列のパルス発生タイミングが元 (p=0またはq=0) の発生タイミングに戻る。従って、分母「B」を大きな数に設定するほど、シフトさせた後に元の外部パルス列xpls0のパターンに戻すまでの副走査方向のライン数を多くすることが可能となる。

従って、出力画像上に形成されるパターンが目立ちやすいものであった場合、操作部50を用いて、上記の「B」をより大きな数値に設定することにより、画素クロックの位相変更に起因する出力画像上に形成されるパターンを目立たないものにし、画像品質の向上を実現することが可能となる。

## 【0229】

以上説明したように、本実施形態では、画像形成装置が2つのレーザ光源LD0、LD1を用いて走査する場合について説明したが、U個 (Uは2以上の整数) のレーザ光源を用いて走査するとしてもよい。この場合、レーザ光源ごとにシフト値を生成するシフト生成部を設け、各レーザ光源のレーザビームの位相変更

するための外部パルス列の出力タイミングをそれぞれシフトさせる。また、レジスタ 24 は、レーザ光源ごとの初期シフト設定値を保持する。

### 【0230】

また、本実施形態は、第 1 の実施形態における画像形成装置に、外部パルス列の出力タイミングをシフトさせる機能（構成）を持たせたものであるが、同様に、第 2 乃至第 4 の実施形態における画像形成装置に外部パルス列の出力タイミングをシフトさせる機能（構成）を持たせるとしてもよい。

### 【0231】

本実施形態では、画像形成装置は、各レーザ光源のレーザビームの位相変更を行うタイミングをレーザビームの一走査毎にシフトさせて異なることができるから、その書き込み倍率補正は、複数ラインで見た場合により効果的なものとなる。つまり、出力画像（最終画像）上でスジ等の目立ちやすいパターンの形成（出力画像内で目立つ副作用）を確実に防止することができる。したがって、よりリアルサイズで画像設計を行え、画像品質を一層向上させることが可能となる。

### 【0232】

#### （第 6 の実施形態）

本発明の第 1 の実施形態における画像形成装置では、1 主走査ライン全体において、外部パルス列の発生間隔  $p_{r\ d\ 0}$ 、 $p_{r\ d\ 1}$  と、外部パルス列のパルス回数  $n_{u\ m\ 0}$ 、 $n_{u\ m\ 1}$  とを設定していた。

これに対し、本実施形態では、1 主走査ラインを複数の領域に区切り、その領域ごとに外部パルス列の発生間隔およびパルス回数を設定する。

### 【0233】

図 23 は、本発明の第 6 の実施形態における画像形成装置の構成を示す図である。以下、図 23 を用いて、本実施形態における画像形成装置の構成について説明する。なお、以下特記しない限り、本実施形態における構成および動作は、本発明の第 1 の実施形態と同様であるものとする。

### 【0234】

図 23 に示されるように、画像形成装置は、光走査装置 10 と、データ制御装置 20 と、C P U 30 と、プリンタコントローラ 40 と、入力手段としての入力

手段としての操作部50とを有する。なお、図23に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図23に示されている構成以外の構成を有するとしてもよい。

### 【0235】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、 $f\theta$ レンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての同期検知部15と、レーザ光源LD0、LD1とを有する。

### 【0236】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画素クロック生成手段としてのクロック生成部22a、22bと、画像データ処理部23と、レジスタ24とを有する。

### 【0237】

図24は、本発明の第6の実施形態におけるパルス列生成部21aを示す図であり、図25は、本発明の第6の実施形態におけるパルス列生成部21bを示す図である。

パルス列生成部21aとパルス列生成部21bとの構成および動作は、同様であるとし、ここでは、図24を用いて、パルス列生成部21aの構成および動作を説明する。

### 【0238】

図24に示すパルス列生成部21aは、カウンタ401と、L個の比較器402-1、402-2、...、402-(L-1)、402-Lと、L個の回路群403-1、403-2、...、403-(L-1)、403-Lと、OR回路404とを有する。

カウンタ401は、クロック生成部22aにより同期検知信号detpから生成されたクリア信号x1clr0を入力し、その入力時点を基準に画素クロックclkw0の数をカウントしてカウント値k0を出力する。このカウント値k0

は、ポリゴンミラー13による一走査期間を複数に分割してその各期間を分割期間に設定するために用いられる。

### 【0239】

各比較器402-1、402-2、...、402-(L-1)、402-Lは、それぞれ各分割期間（第1～第L分割期間）の始点値（第1～第L始点値）が予め設定されていて、カウンタ401のカウント値k0と対応するその始点値とを比較し、カウント値k0が対応する始点値に到達したときに対応するエリア信号（第1～第Lエリア信号）を出力する。各分割期間の始点値は、CPU30から各比較器402-1、402-2、...、402-(L-1)、402-Lにそれぞれ入力するスタート信号（第1～第Lスタート信号）により設定されている。

### 【0240】

例えば、比較器402-1は、カウンタ401のカウント値k0と第1スタート信号start01が示す最初の分割期間（第1分割期間）の始点値（第1始点値）とを比較し、カウント値k0が第1始点値（start01）に到達したときに第1エリア信号area01を出力する。

また、比較器402-2は、カウンタ401のカウント値k0と第2スタート信号start02が示す次の分割期間（第2分割期間）の始点値（第2始点値）とを比較し、カウント値k0が第2始点値（start02）に到達したときに第2エリア信号area02を出力する。

### 【0241】

各回路群403-1、403-2、...、403-(L-1)、403-Lは、いずれも図4と同様の各部（すなわち、パルス列生成部21aまたは21b）によって構成されており、図6によって説明した上述のパルス発生動作と同様の動作を行う。但し、クリア信号xclr0をエリア信号に置換している。したがって、例えば、回路群403-1へはクリア信号xclr0の代わりに第1エリア信号area01を入力し、回路群403-2へはクリア信号xclr0の代わりに第2エリア信号area02をそれぞれ入力している。また、各回路群403-1、403-2、...、403-(L-1)、403-Lにはそれぞ

れ、任意のパルス発生間隔（設定値） $p_{rd1}$ 、 $p_{rd2}$ 、 $\dots$ 、 $p_{rdL-1}$ 、 $p_{rdL}$ 及びパルス数（設定値） $n_{um1}$ 、 $n_{um2}$ 、 $\dots$ 、 $n_{umL-1}$ 、 $n_{umL}$ が予め設定されている。

OR回路404は、回路群403-1、403-2、 $\dots$ 、403- $(L-1)$ 、403-Lのいずれかから外部パルス例 $x_{pls0}$ を入力すると、その外部パルス例 $x_{pls0}$ をそのまま出力する。

#### 【0242】

図26は、本発明の第6の実施形態におけるパルス列生成部21aによるパルス生成動作の流れを示すフローチャートである。ここで、このように構成されたパルス列生成部21aの動作を図26に沿って詳細に説明する。

まず、パルス列生成部21aは、電源投入により、まずカウンタ401がカウント値 $k_0$ を「1」にリセットする（ステップS601）。

その後、クリア信号 $x_{lclr0}$ の入力により（ステップS602/Yes）、カウンタ401が、画素クロック $clkw0$ が入力される毎にカウント値 $k_0$ をカウントアップ（+1）する（ステップS603）。そして、そのカウント値 $k_0$ が各分割期間の始点値（ $start01$ 、 $start02$ 、 $\dots$ 、 $start0L-1$ 、 $start0L$ ）に到達する毎に（ステップS604～S607）、対応する各比較器402-1、402-2、 $\dots$ 、402- $(L-1)$ 、402-Lがそれぞれ対応する第1～第Lエリア信号（ $area01$ 、 $area02$ 、 $\dots$ 、 $area0L-1$ 、 $area0L$ ）を出力する（ステップS608～S611）。

#### 【0243】

各回路群403-1、403-2、 $\dots$ 、403- $(L-1)$ 、403-Lは、それぞれ対応するエリア信号を入力すると、上述したパルス列生成部21aのパルス発生動作と同様の動作を行う（ステップS608～S611）。

#### 【0244】

この場合、最初は、カウンタ401のカウント値 $k_0$ が第1分割期間の始点値 $start1$ に到達するので、その時点で比較器402-1がエリア信号 $area01$ を出力する。すると、回路群403-1が内部のカウンタ103、104

を含む各部（図4参照）を用いて上述のパルス発生動作と同様の動作を行い、第1分割期間に対応する外部パルス列  $x_{p1s0}$  を生成し、OR回路404に出力する。この外部パルス列  $x_{p1s0}$  は、OR回路404経由で出力される。

#### 【0245】

続いて、カウンタ401のカウント値  $k_0$  が第2分割期間の始点値  $start_02$  に到達するので、その時点で比較器4022がエリア信号  $area02$  を出力する。すると、回路群4032が内部のカウンタ103、104を含む各部を用いて上述のパルス発生動作と同様の動作を行い、第2分割期間に対応する外部パルス列  $x_{p1s0}$  を生成し、OR回路404に出力する。この外部パルス列  $x_{p1s0}$  もOR回路404経由で出力される。

#### 【0246】

これ以降第L分割期間まで上述と同様の工程が行われ、回路群403-Lから第L分割期間（最終分割期間）に対応する外部パルス列  $x_{p1s0}$  が生成され、OR回路404経由で出力される。こうして、OR回路404から最終的に出力される外部パルス列（最終外部パルス列）  $XPLS0$  は、例えば図27に示すように、各分割期間（area）毎に個別の任意本数からなる外部パルス列  $x_{p1s0}$  を含むパルス列となる。

#### 【0247】

パルス列生成部21bについても、同様に、各比較器412-1、412-2、……、412-（L-1）、412-Lに対して、それぞれ各分割期間（第1～第L分割期間）の始点値（第1～第L始点値）を予め設定し、カウンタ411のカウント値  $k_1$  と対応するその始点値とを比較し、カウント値  $k_1$  が対応する始点値に到達したときに対応するエリア信号（第1～第Lエリア信号）を出力する。各分割期間の始点値は、CPU30から各比較器412-1、412-2、……、412-（L-1）、412-Lにそれぞれ入力するスタート信号（第1～第Lスタート信号）により設定されている。パルス列生成部21bにおいても、パルス列生成部21aと同様の外部パルス列  $x_{p1s1}$  生成処理が行われる。

#### 【0248】

以上説明したように、本実施形態では、画像形成装置が2つのレーザ光源LD

0、LD1を用いて走査する場合について説明したが、U個（Uは2以上の整数）のレーザ光源を用いて走査するとしてもよい。この場合、レーザ光源ごとに、レーザ光源ドライバ、パルス列生成部、およびクロック生成部を設け、各レーザ光源のレーザビームの1主走査ラインを複数領域に分割して、各分割領域に設定値を設定して、各レーザ光源における画素クロックの位相変更を行う。

#### 【0249】

また、本実施形態は、第1の実施形態における画像形成装置において、各レーザ光源のレーザビームの1主走査ラインを複数領域に分割して、各分割領域ごとに設定値を設定して、各レーザ光源における画素クロックの位相変更を行う機能（構成）を持たせたものであるが、同様に、第2乃至第5の実施形態における画像形成装置において各レーザ光源のレーザビームの1主走査ラインを複数領域に分割して、各分割領域ごとに設定値を設定して、各レーザ光源における画素クロックの位相変更を行う機能（構成）を持たせるとしてもよい。

#### 【0250】

このように、パルス列生成部21a、21bは、ポリゴンミラー13による一走査期間を複数（第1～第LのL個）に分割し、その第1～第L割期間毎に生成出力した外部パルス列xplsoを含む最終外部パルス列XPLSOを用いて画素クロックclkw0の位相変更（位相設定）を行うことができる。

従って、本実施形態における画像形成装置は、パルス列生成部21a、21bにより、各分割期間に対応する個別の外部パルス列xplso、xpls1を用いて、画素クロックclkw0、clkw1に対する部分的な書き倍率補正を行えるため、リアルサイズの画像設計を行え、画像品質を向上させることができる。

#### 【0251】

（第7の実施形態）

図28は、本発明の第7の実施形態における画像形成装置の構成を示す図である。以下、図28を用いて、本実施形態における画像形成装置の構成および動作について説明する。なお、以下特記しない限り、本実施形態における画像形成装置の構成および動作は、第1の実施形態と同様であるとしてよい。

### 【0252】

図28に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU30と、プリンタコントローラ40と、入力手段としての入力手段としての操作部50とを有する。なお、図28に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図28に示されている構成以外の構成を有するとしてもよい。

### 【0253】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、 $f\theta$ レンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての同期検知部15と、画素クロック生成手段としてのクロック生成部22a、22bと、レーザ光源LD0、LD1とを有する。

### 【0254】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画像データ処理部23と、レジスタ24とを有する。

### 【0255】

CPU30は、走査時間比較手段および設定値算出手段として機能する。

### 【0256】

(第8の実施形態)

図29は、本発明の第8の実施形態における画像形成装置の構成を示す図である。以下、図29を用いて、本実施形態における画像形成装置の構成および動作について説明する。なお、以下特記しない限り、本実施形態における画像形成装置の構成および動作は、第2の実施形態と同様であるとしてよい。

### 【0257】

図29に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU30と、プリンタコントローラ40と、入力手段としての入力手段としての操作部50とを有する。なお、図29に示される画像形成装置の各

構成は実際の構成を簡略化したものであり、画像形成装置は図29に示されている構成以外の構成を有するとしてもよい。

### 【0258】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、fθレンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての先端同期検知部16、後端同期検知部17と、画素クロック生成手段としてのクロック生成部22a、22bと、レーザ光源LD0、LD1とを有する。

### 【0259】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画像データ処理部23と、レジスタ24と、走査時間測定手段としての走査時間測定部25a、25bと、を有する。

### 【0260】

CPU30は、走査時間比較手段および設定値算出手段として機能する。

### 【0261】

(第9の実施形態)

図30は、本発明の第7の実施形態における画像形成装置の構成を示す図である。以下、図30を用いて、本実施形態における画像形成装置の構成および動作について説明する。なお、以下特記しない限り、本実施形態における画像形成装置の構成および動作は、第3の実施形態と同様であるとしてよい。

### 【0262】

図30に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU30と、プリンタコントローラ40と、入力手段としての入力手段としての操作部50とを有する。なお、図30に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図30に示されている構成以外の構成を有するとしてもよい。

### 【0263】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、fθレンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての同期検知部15と、画素クロック生成手段としてのクロック生成部22a、22bと、レーザ光源LD0、LD1とを有する。

#### 【0264】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画像データ処理部23と、レジスタ24とを有する。

#### 【0265】

CPU30は、走査時間比較手段および設定値算出手段として機能する。

#### 【0266】

(第10の実施形態)

図31は、本発明の第10の実施形態における画像形成装置の構成を示す図である。以下、図31を用いて、本実施形態における画像形成装置の構成および動作について説明する。なお、以下特記しない限り、本実施形態における画像形成装置の構成および動作は、第4の実施形態と同様であるとしてよい。

#### 【0267】

図31に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU30と、プリンタコントローラ40と、入力手段としての入力手段としての操作部50とを有する。なお、図31に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図31に示されている構成以外の構成を有するとしてもよい。

#### 【0268】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、fθレンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての先端同期検知部16、後端同期検知部17と、画素クロック生成手段としてのクロック

ク生成部22a、22bと、レーザ光源LD0、LD1とを有する。

#### 【0269】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画像データ処理部23と、レジスタ24と、走査時間測定手段としての走査時間測定部25aとを有する。

#### 【0270】

CPU30は、走査時間比較手段および設定値算出手段として機能する。

#### 【0271】

(第11の実施形態)

図32は、本発明の第11の実施形態における画像形成装置の構成を示す図である。以下、図32を用いて、本実施形態における画像形成装置の構成および動作について説明する。なお、以下特記しない限り、本実施形態における画像形成装置の構成および動作は、第5の実施形態と同様であるとしてよい。

#### 【0272】

図32に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU30と、プリンタコントローラ40と、入力手段としての操作部50とを有する。なお、図32に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図32に示されている構成以外の構成を有するとしてもよい。

#### 【0273】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、fθレンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての同期検知部15と、画素クロック生成手段としてのクロック生成部22a、22bと、レーザ光源LD0、LD1とを有する。

#### 【0274】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための

画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画像データ処理部23と、レジスタ24と、シフト生成部26a、26bとを有する。

### 【0275】

CPU30は、走査時間比較手段および設定値算出手段として機能する。

### 【0276】

(第12の実施形態)

図33は、本発明の第12の実施形態における画像形成装置の構成を示す図である。以下、図33を用いて、本実施形態における画像形成装置の構成および動作について説明する。なお、以下特記しない限り、本実施形態における画像形成装置の構成および動作は、第6の実施形態と同様であるとしてよい。

### 【0277】

図33に示されるように、画像形成装置は、光走査装置10と、データ制御装置20と、CPU30と、プリンタコントローラ40と、入力手段としての操作部50とを有する。なお、図33に示される画像形成装置の各構成は実際の構成を簡略化したものであり、画像形成装置は図33に示されている構成以外の構成を有するとしてもよい。

### 【0278】

光走査装置10は、レーザビームにより像形成を行う装置であって、被走査媒体としての感光体11と、fθレンズ12と、回転偏向手段としてのポリゴンミラー13と、レーザ光源ドライバ14a、14bと、同期検知手段としての同期検知部15と、画素クロック生成手段としてのクロック生成部22a、22bと、レーザ光源LD0、LD1とを有する。

### 【0279】

データ制御装置20は、レーザ光源ドライバ14a、14bを制御するための画像信号を出力して、光走査装置10によるレーザビーム書き込み動作を制御する装置であって、位相制御手段としてのパルス列生成部21a、21bと、画像データ処理部23と、レジスタ24とを有する。

**【0280】**

C P U 3 0 は、走査時間比較手段および設定値算出手段として機能する。

**【0281】**

(第1～第6の実施形態と第7～第12の実施形態の相違点)

以下、第1～第6の実施形態と第7～第12の実施形態の相違点について説明する。

**【0282】**

第1～6の実施形態では、クロック生成部 22a、22b は、データ制御装置 20 内に設けられていた。

これに対し、第7～第12の実施形態におけるクロック生成部 22a、22b は、光走査装置 10 内に設けられている。

**【0283】**

第1～第6の実施形態では、クロック生成部 22a は、画素クロック c1kw0 およびクリア信号 x1c1r0 を、パルス列生成部 21a および画像データ処理部 23 に対して出力していた。

これに対し、第7～第12の実施形態におけるクロック生成部 22a は、画素クロック c1kw0 およびクリア信号 x1c1r0 を、パルス列生成部 21a に対して出力する。

第1～第6の実施形態では、クロック生成部 22b は、画素クロック c1kw1 およびクリア信号 x1c1r1 を、パルス列生成部 21b および画像データ処理部 23 に対して出力していた。

これに対し、第7～第12の実施形態におけるクロック生成部 22b は、画素クロック c1kw1 およびクリア信号 x1c1r1 を、パルス列生成部 21b に対して出力する。

**【0284】**

第1～第6の実施形態では、画像データ処理部 23 は、クロック生成部 22a、22b からの画素クロック c1kw0、c1kw1 に同期してプリンタコントローラ 40 から入力される画像信号をレーザ光源ドライバ 14a、14b へ出力していた。

これに対し、第7～第12の実施形態では、画像データ処理部23は、プリンタコントローラ40から入力される画像信号data0、data1をそれぞれクロック生成部22a、22bへ出力する。

クロック生成部22aは、入力される画像信号data0を、生成した画素クロックclkw0に同期させてレーザ光源ドライバ14aへ出力する。レーザ光源ドライバ14aは、位相変更後の画素クロックclkw0に基づく画像信号data0の入力タイミングに応じて、画像信号data0のデータ内容に応じてそれぞれレーザ光源LD0に対して発光のオン／オフを制御するための駆動制御信号を出力する。

また、クロック生成部22bは、入力される画像信号data1を、生成した画素クロックclkw1に同期させてレーザ光源ドライバ14bへ出力する。レーザ光源ドライバ14bは、位相変更後の画素クロックclkw1に基づく画像信号data1の入力タイミングに応じて、画像信号data1のデータ内容に応じてそれぞれレーザ光源LD1に対して発光のオン／オフを制御するための駆動制御信号を出力する。

### 【0285】

以上、第1乃至第12の実施形態において、2つ以上のレーザ光源を備えた画像形成装置について説明したが、この2つ以上のレーザ光源は、全て同一色のトナー画像を形成するための潜像を書き込むとしてもよいし、例えば、イエロー、マゼンタ、シアン、ブラックなどの異なる色のトナー画像を形成するための潜像を書き込むとしてもよい。

### 【0286】

また、画像形成装置は、データを書き込む処理と、データを読み出す処理と、1つの同期検知手段がレーザビームを検知してから他の同期検知手段がレーザビームを検知するまでの時間に基づいて、増減すべきパルス数を算出する処理と、入力または算出された1つのレーザ光源の設定値に、差分設定値を加算して、他のレーザ光源の設定値を算出する処理と、レーザ光源の測定値が入力されたか否かを判定する処理とを行う。

上記の処理は、画像形成装置が有するコンピュータプログラム（C P U 3 0）

により実行されるが、上記のプログラムは、光記録媒体、磁気記録媒体、光磁気記録媒体、または半導体等の記録媒体に記録され、上記の記録媒体からロードされるようにしてもよいし、所定のネットワークを介して接続されている外部機器からロードされるようにしてもよい。

### 【0287】

なお、上記の実施形態は本発明の好適な実施の一例であり、本発明の実施形態は、これに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々変形して実施することが可能となる。

### 【0288】

#### 【発明の効果】

以上説明したように、本発明によれば、2つ以上のレーザ光源を用い、1つの光学系を共用して被走査媒体上に像形成する画像形成装置において、各レーザ光源による被走査媒体への書き込み率差を容易に補正することが可能となる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施形態における画像形成装置の構成を示す図である。

##### 【図2】

(a) は、本発明の第1の実施形態におけるレーザ光源の配置位置の関係を示す図であり、(b) は、本発明の第1の実施形態におけるレーザ光源によるレーザビーム照射を示す図である。

##### 【図3】

本発明の第1の実施形態における画像形成装置による画像形成動作の流れを示すフローチャートである。

##### 【図4】

本発明の第1の実施形態における画素クロックとその位相変更との関係の一例を示すタイミングチャートである。

##### 【図5】

本発明の第1の実施形態におけるパルス列生成部の構成を示す図である。

##### 【図6】

本発明の第1の実施形態におけるパルス列生成部の動作の流れを示すフローチャートである。

【図7】

本発明の第1の実施形態におけるクリア信号と外部パルス列との関係を示すタイミングチャートである。

【図8】

本発明の第2の実施形態における画像形成装置の構成を示す図である。

【図9】

本発明の第2の実施形態における先端同期検知部および後端同期検知部により出力される信号を示す図である。

【図10】

(a) は、本発明の第2の実施形態における2つのレーザ光源の配置位置の関係を示す図であり、(b) は、本発明の第2の実施形態における2つのレーザ光源によるレーザビーム照射を示す図である。

【図11】

本発明の第2の実施形態における走査時間測定部の構成を示す図である。

【図12】

本発明の第2の実施形態における画像形成装置による画素クロックの位相調整動作の流れを示すフローチャートである。

【図13】

本発明の第3の実施形態における画像形成装置の構成を示す図である。

【図14】

本発明の第3の実施形態におけるレーザ光源の設定値の設定動作を示す図である。

【図15】

本発明の第3の実施形態におけるレーザ光源の設定値の設定動作の流れを示すフローチャートを示す図である。

【図16】

本発明の第4の実施形態における画像形成装置の構成を示す図である。

**【図 17】**

本発明の第4の実施形態における画像形成装置による設定値の設定動作の流れを示すフローチャートである。

**【図 18】**

本発明の第5の実施形態における画像形成装置の構成を示す図である。

**【図 19】**

本発明の第5の実施形態におけるシフト生成部の構成を示す図である。

**【図 20】**

本発明の第5の実施形態におけるパルス列生成部の構成を示す図である。

**【図 21】**

本発明の第5の実施形態において、初期シフト設定値を  $(x1c1r0\text{間隔} - p1d0 \times num0) \times 1/4$  とした場合における外部パルス列のシフトを示す図である。

**【図 22】**

本発明の第5の実施形態において、初期シフト設定値を  $(x1c1r0\text{間隔} - p1d0 \times num0) \times 3/7$  とした場合における外部パルス列のシフトを示す図である。

**【図 23】**

本発明の第6の実施形態における画像形成装置の構成を示す図である。

**【図 24】**

本発明の第6の実施形態におけるパルス列生成部を示す図である。

**【図 25】**

本発明の第6の実施形態におけるパルス列生成部を示す図である。

**【図 26】**

本発明の第6の実施形態におけるパルス列生成部によるパルス生成動作の流れを示すフローチャートである。

**【図 27】**

本発明の第6の実施形態における各分割期間毎に個別の任意本数からなる外部パルス列を含むパルス列を示す図である。

**【図 2 8】**

本発明の第 7 の実施形態における画像形成装置の構成を示す図である。

**【図 2 9】**

本発明の第 8 の実施形態における画像形成装置の構成を示す図である。

**【図 3 0】**

本発明の第 7 の実施形態における画像形成装置の構成を示す図である。

**【図 3 1】**

本発明の第 10 の実施形態における画像形成装置の構成を示す図である。

**【図 3 2】**

本発明の第 11 の実施形態における画像形成装置の構成を示す図である。

**【図 3 3】**

本発明の第 12 の実施形態における画像形成装置の構成を示す図である。

**【図 3 4】**

従来のレーザビーム方式における画像形成装置による画像形成動作を示す図である。

**【図 3 5】**

従来の画素クロックとその位相変更との関係の一例を示すタイミングチャートである。

**【図 3 6】**

従来のパルス発生回路の構成を示す図である。

**【図 3 7】**

従来のパルス発生回路による動作の流れを示すフローチャートである。

**【図 3 8】**

従来のマルチビーム方式の画像形成装置による画像形成動作を示す図である。

**【符号の説明】**

1 0 光走査装置

1 1 感光体

1 2  $f \theta$  レンズ

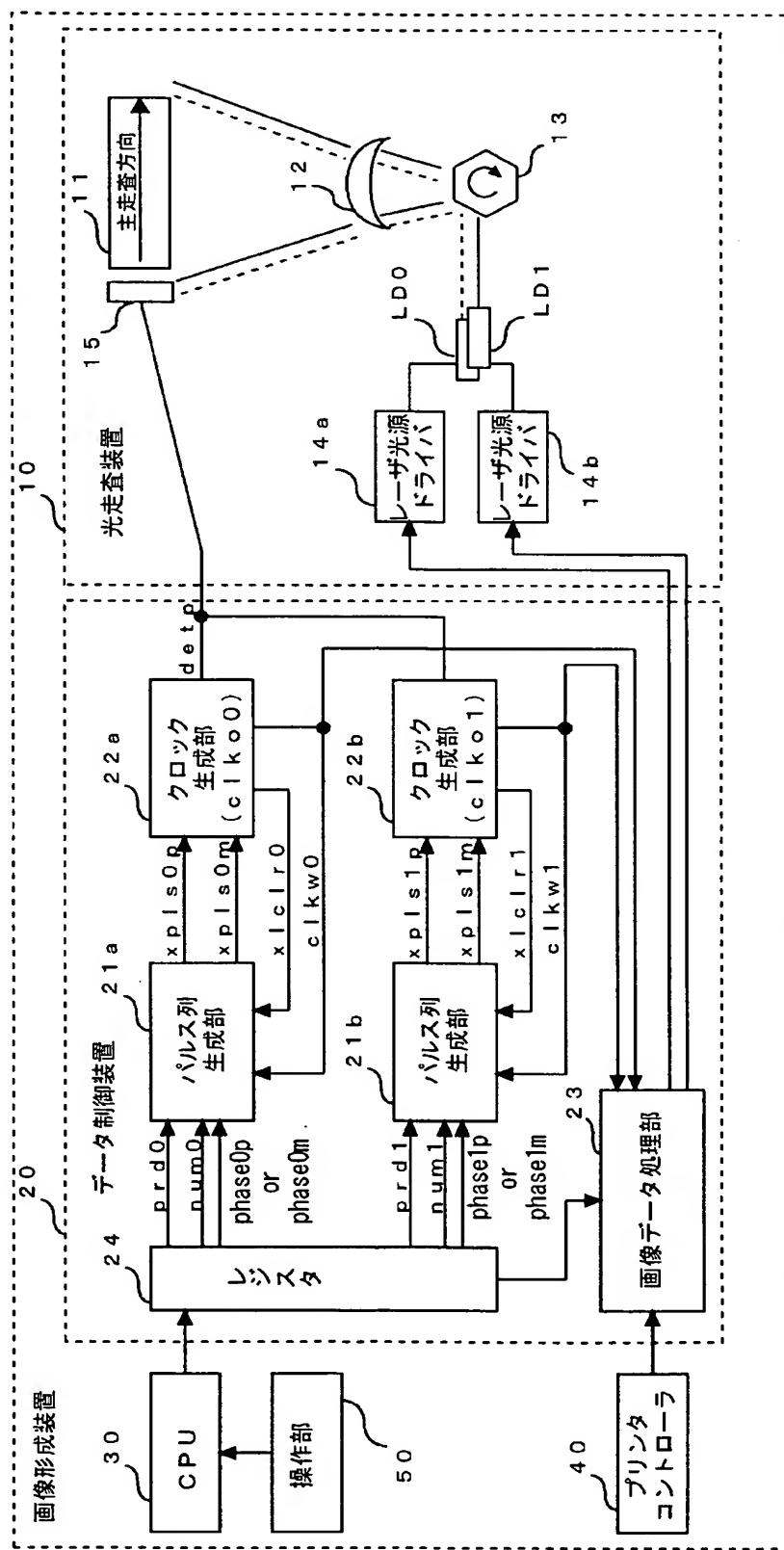
1 3 ポリゴンミラー

14a、14b レーザ光源ドライバ  
15 同期検知部  
16 先端同期検知部  
17 後端同期検知部  
20 データ制御装置  
21a、21b パルス列生成部  
22a、22b クロック生成部  
23 画像データ処理部  
24 レジスタ  
25a、25b 走査時間測定部  
26a、26b シフト生成部  
30 CPU  
40 プリンタコントローラ  
50 操作部  
101、102、111、112、402-1、402-2、...、402-  
- (n-1)、402-n、412-1、412-2、...、412-  
(n-1)、412-n、1001、1002 比較器  
103、104、113、114、201、211、301、311、401  
、411、1003、1004 カウンタ  
105、106、115、116、1005、1006 AND回路  
202、212 ラッチ  
302、312 演算器  
403-1、403-2、...、403-(n-1)、403-n、413  
-1、413-2、...、413-(n-1)、413-n 回路群  
404、414 OR回路  
LD0、LD1 レーザ光源

【書類名】

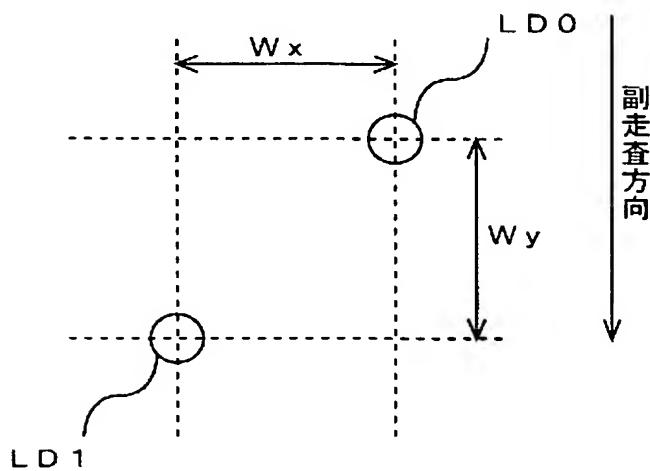
図面

【図 1】

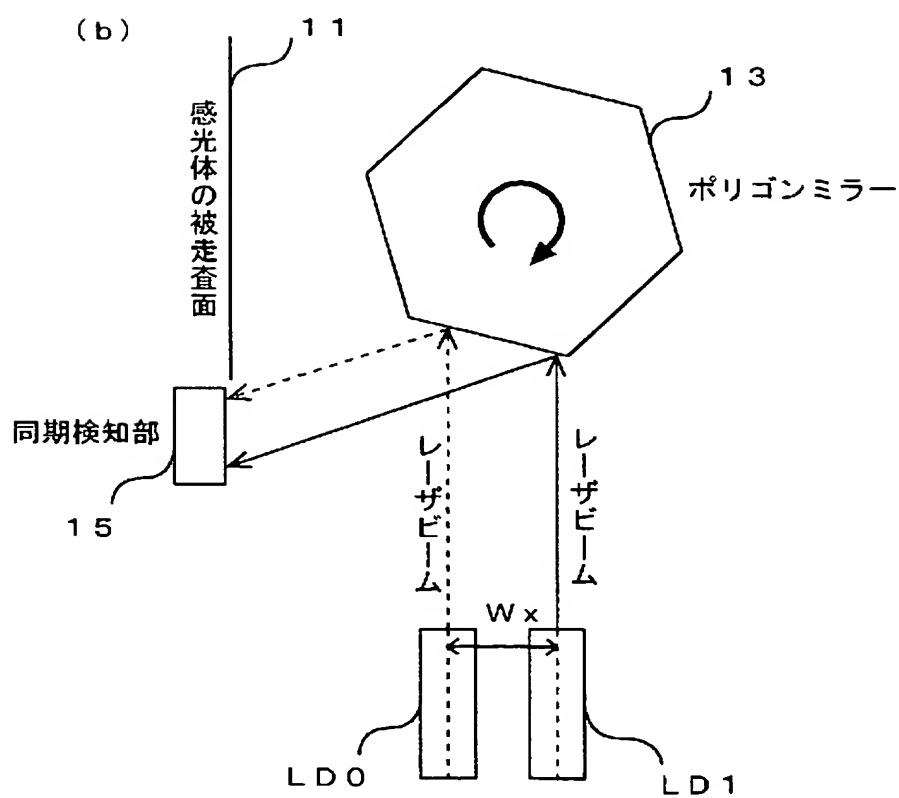


【図2】

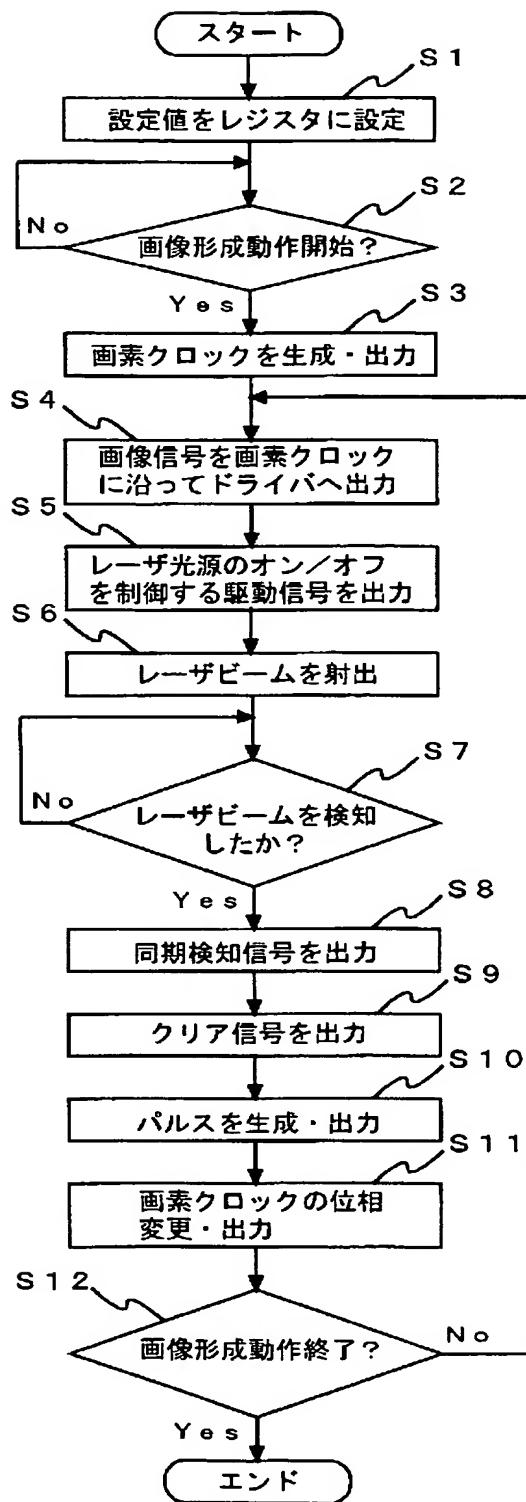
(a) ← 主走査方向



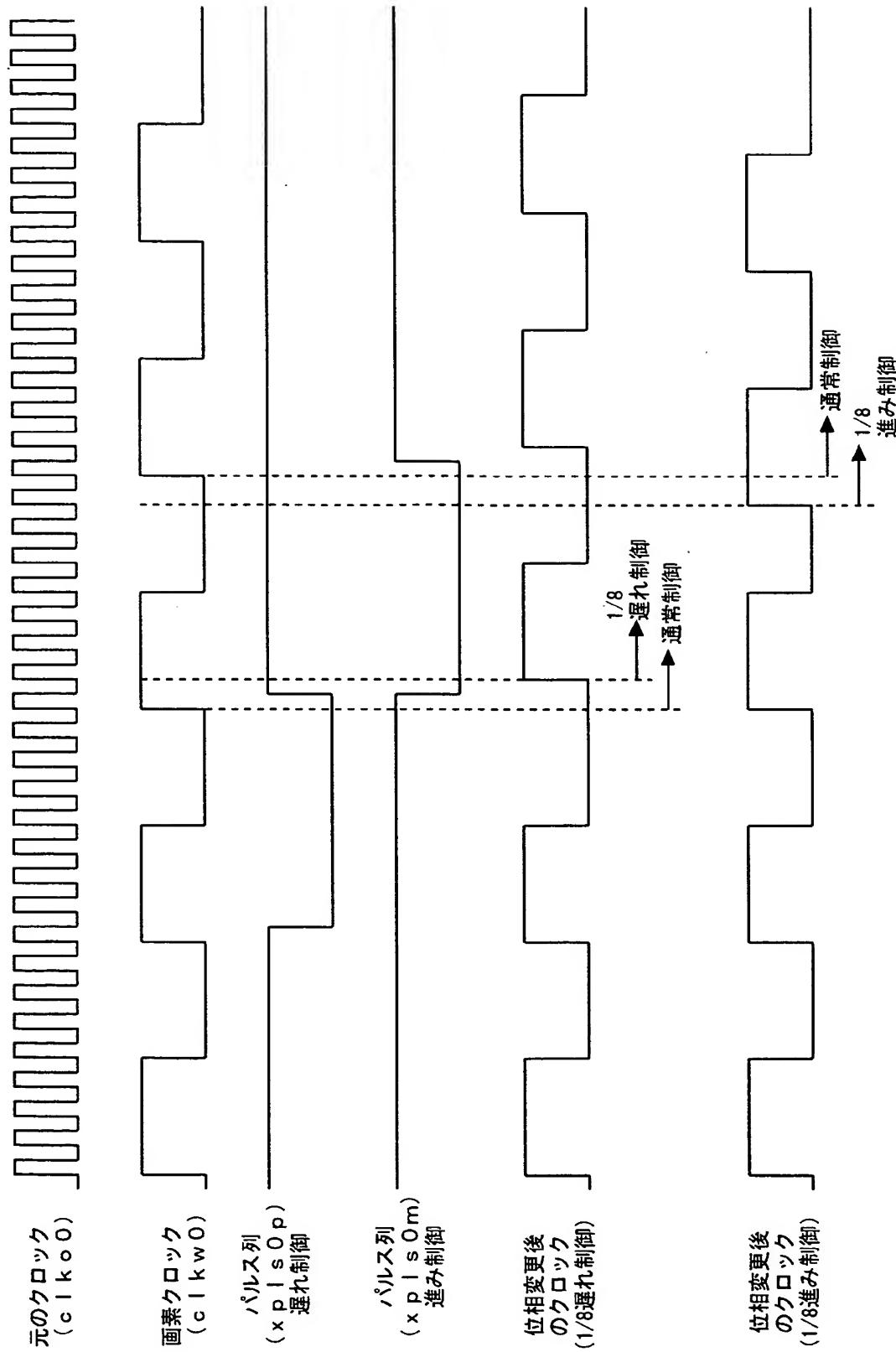
(b)



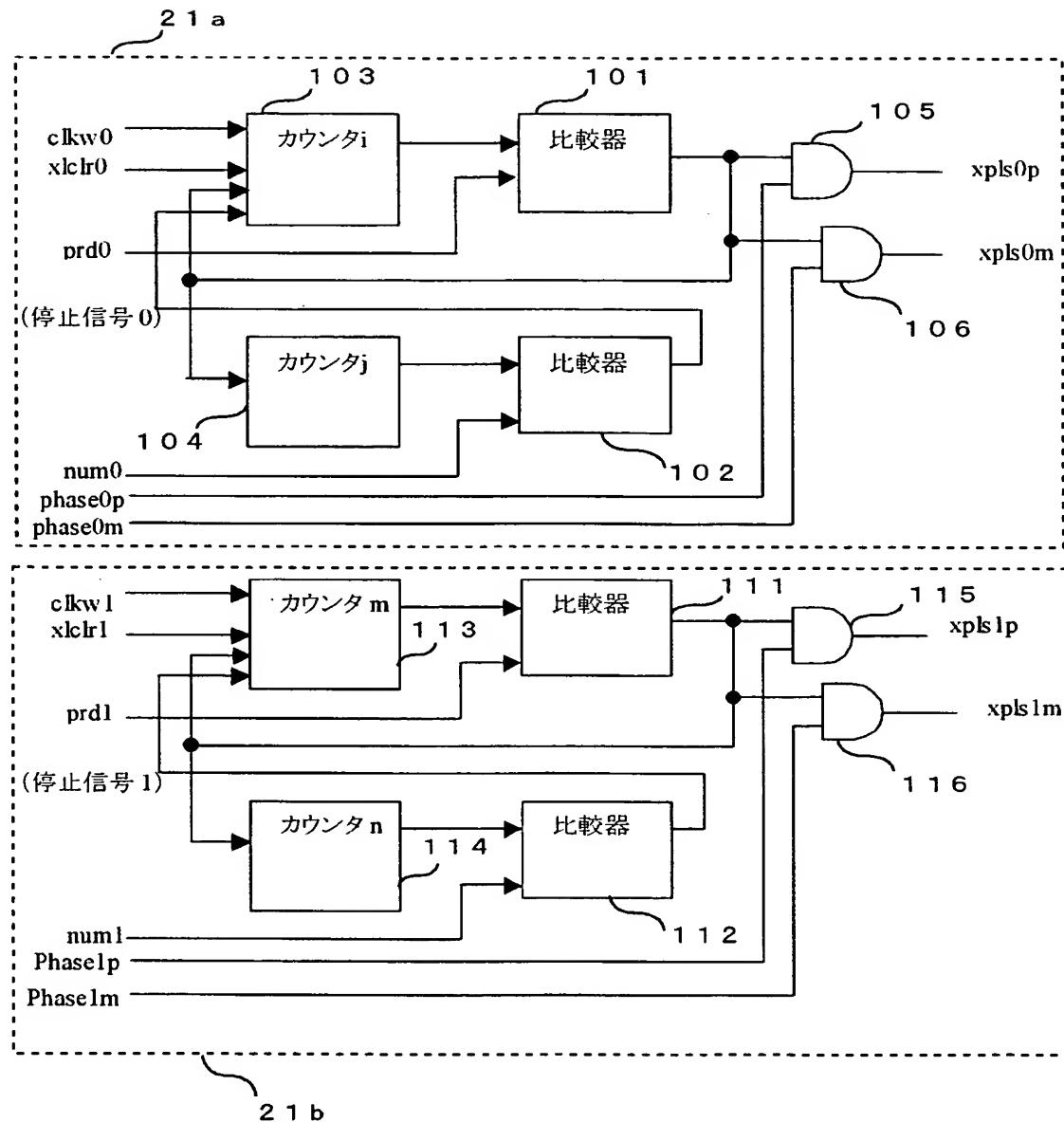
【図3】



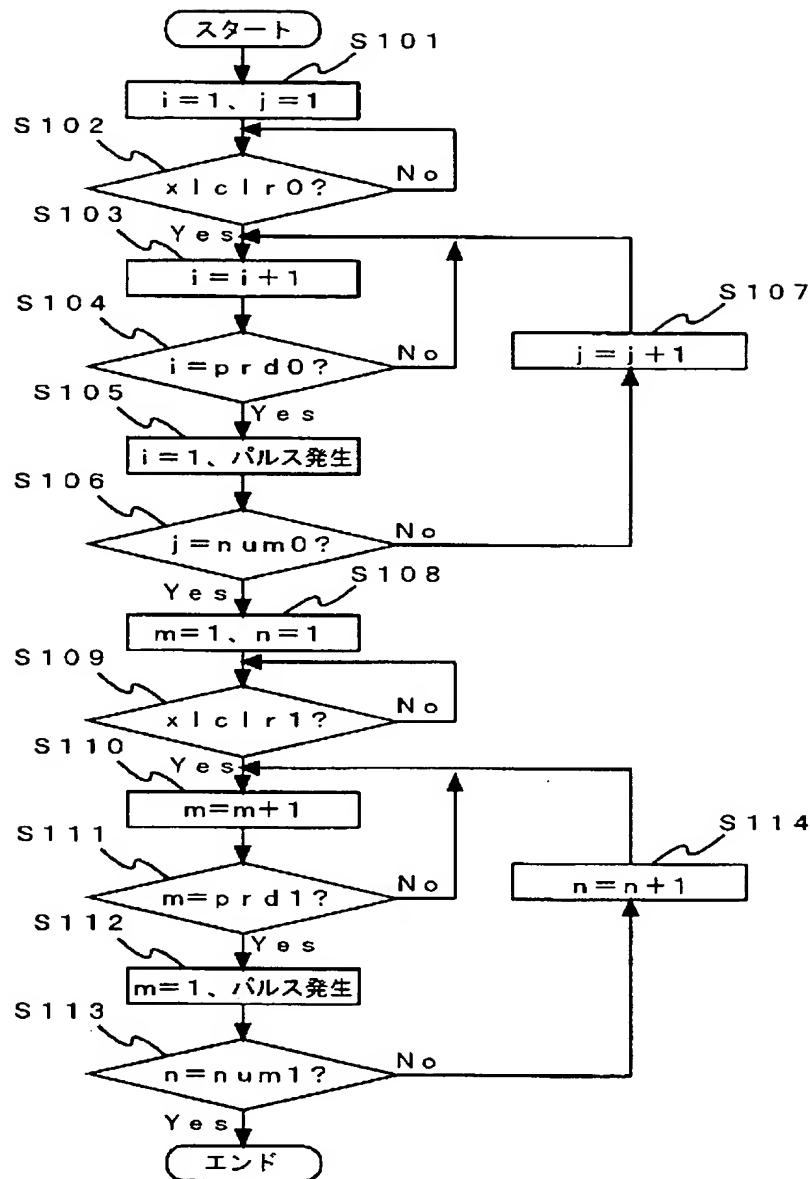
【図 4】



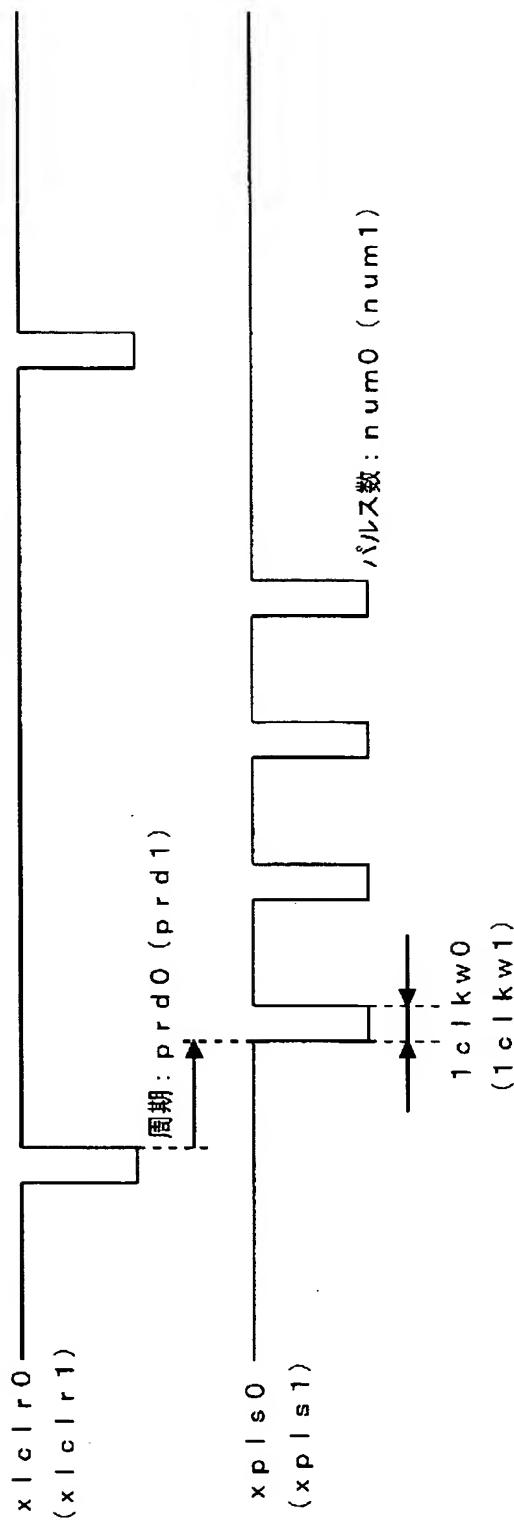
【図 5】



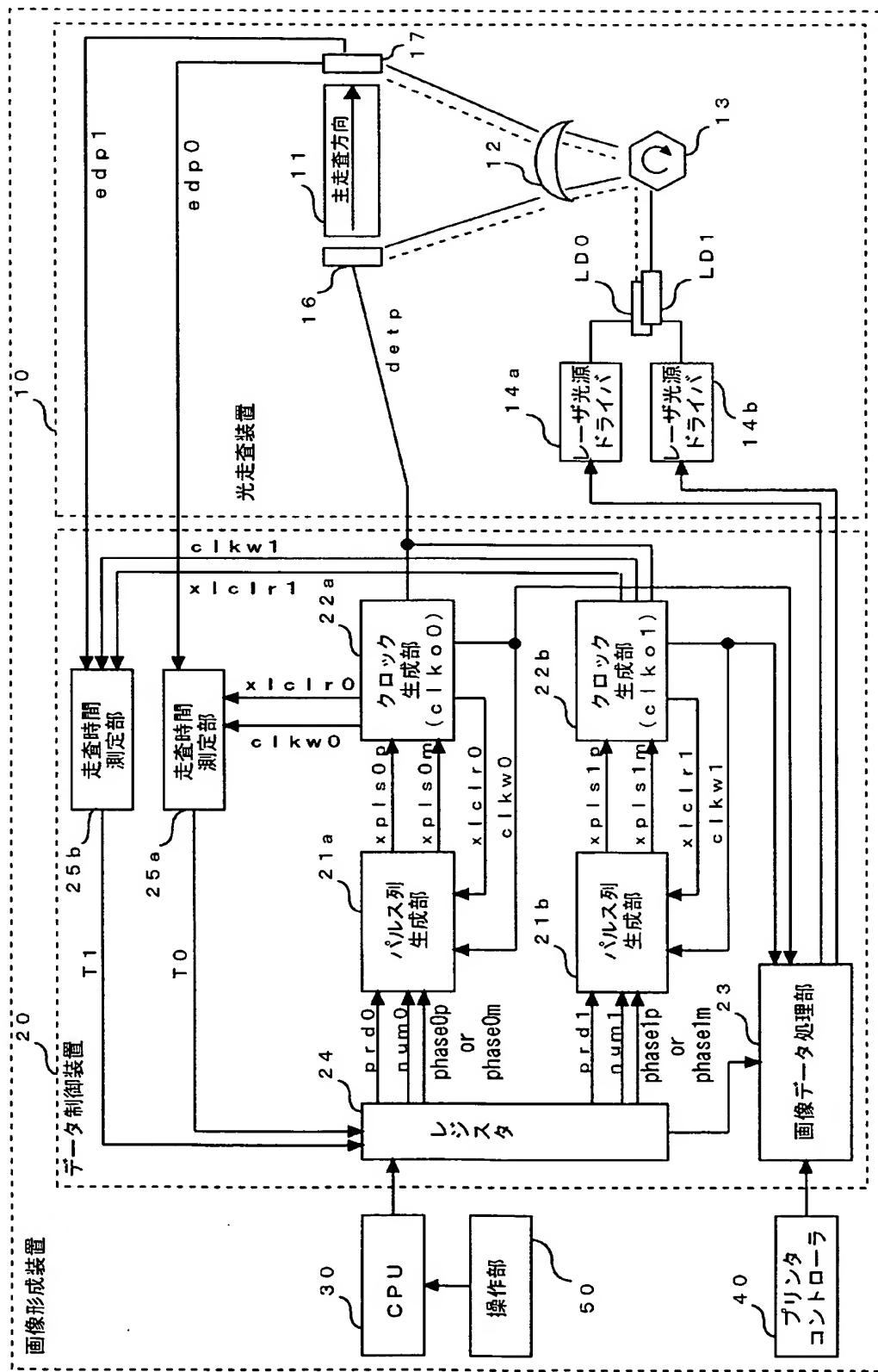
【図6】



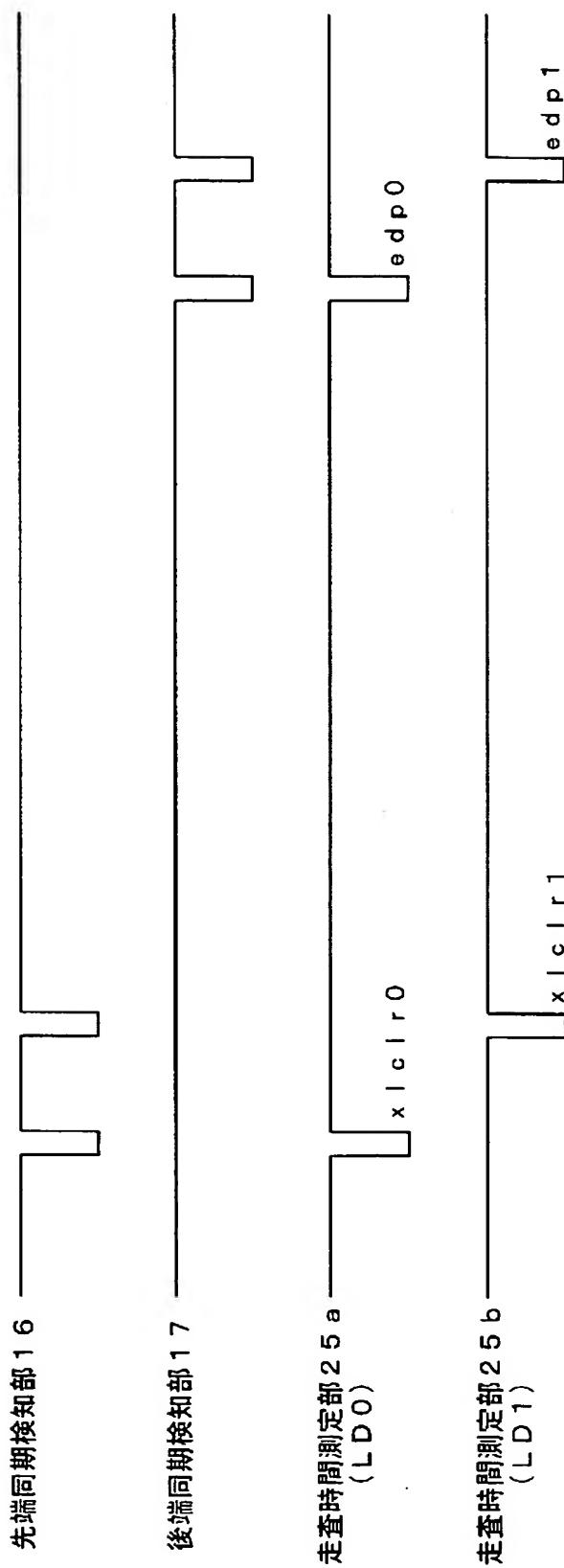
【図 7】



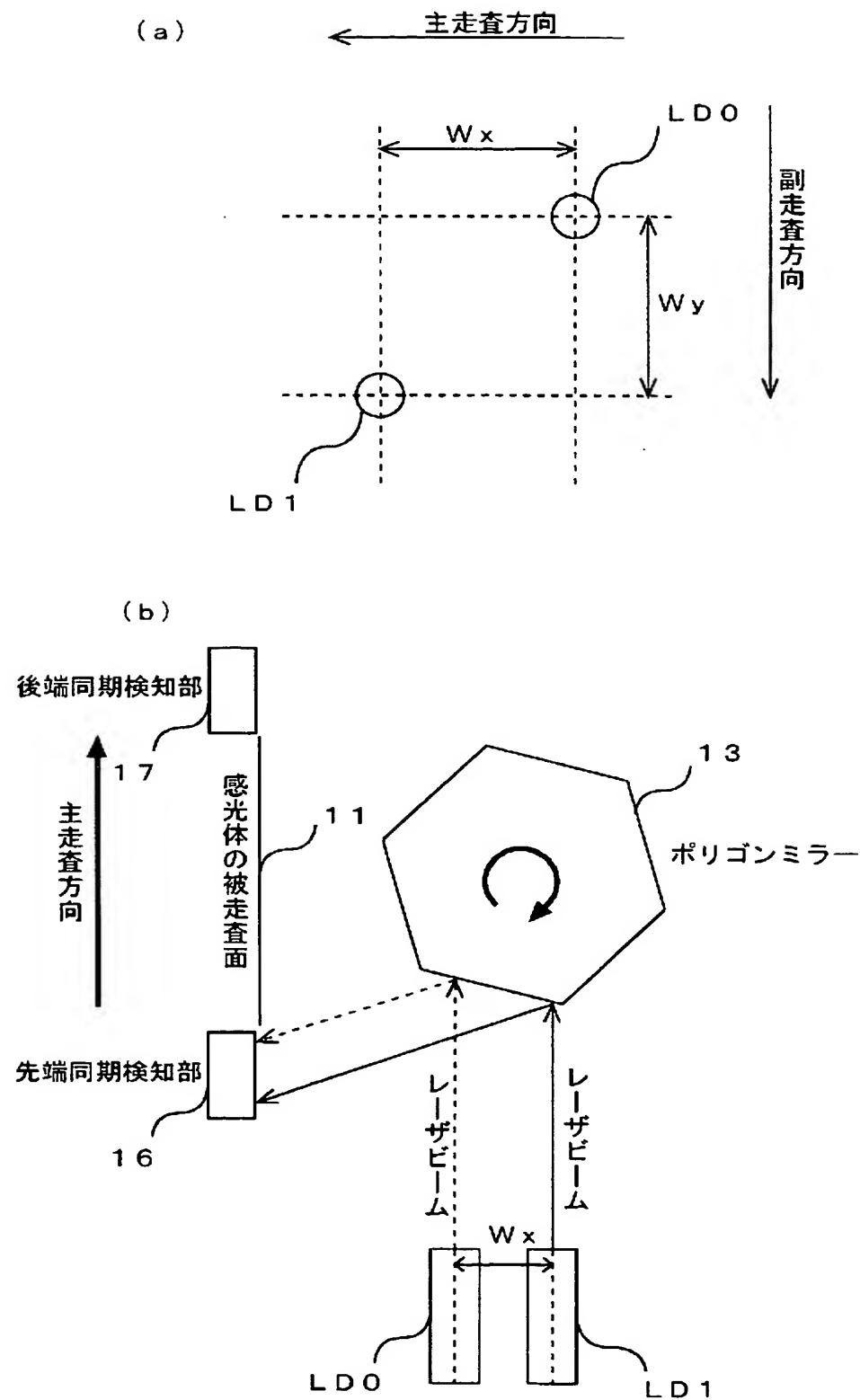
【図8】



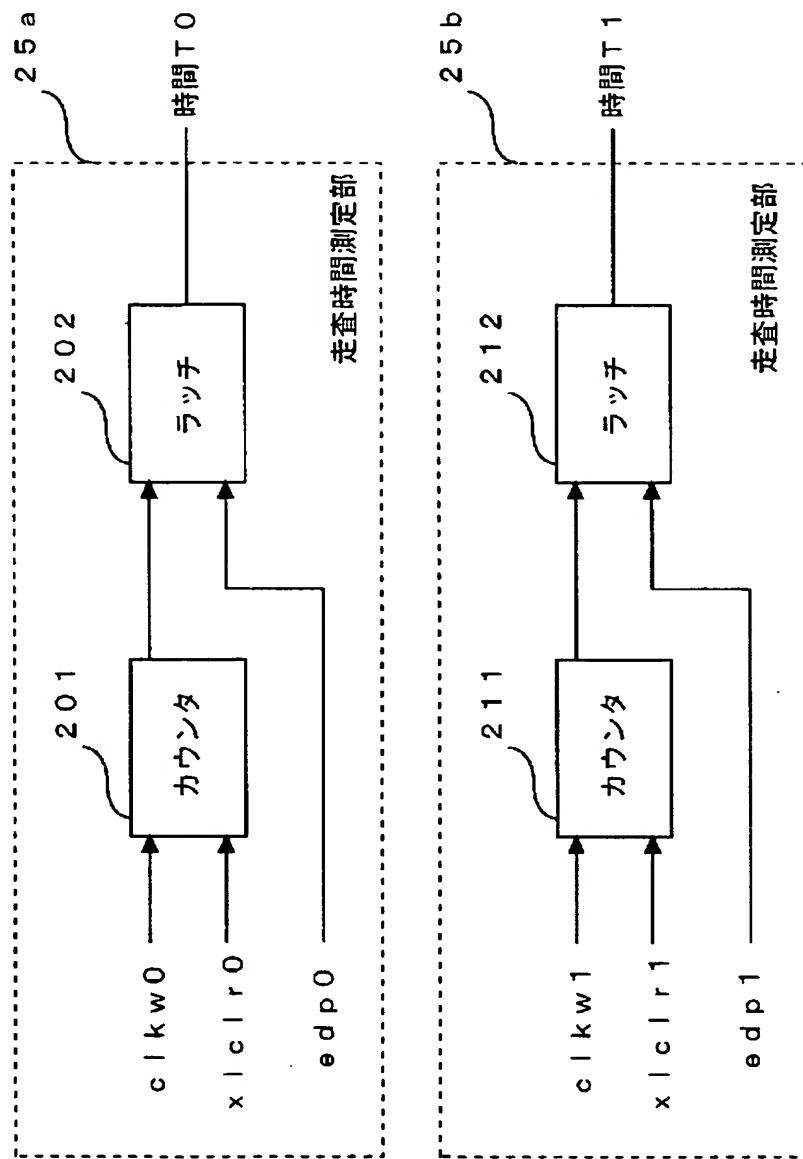
【図 9】



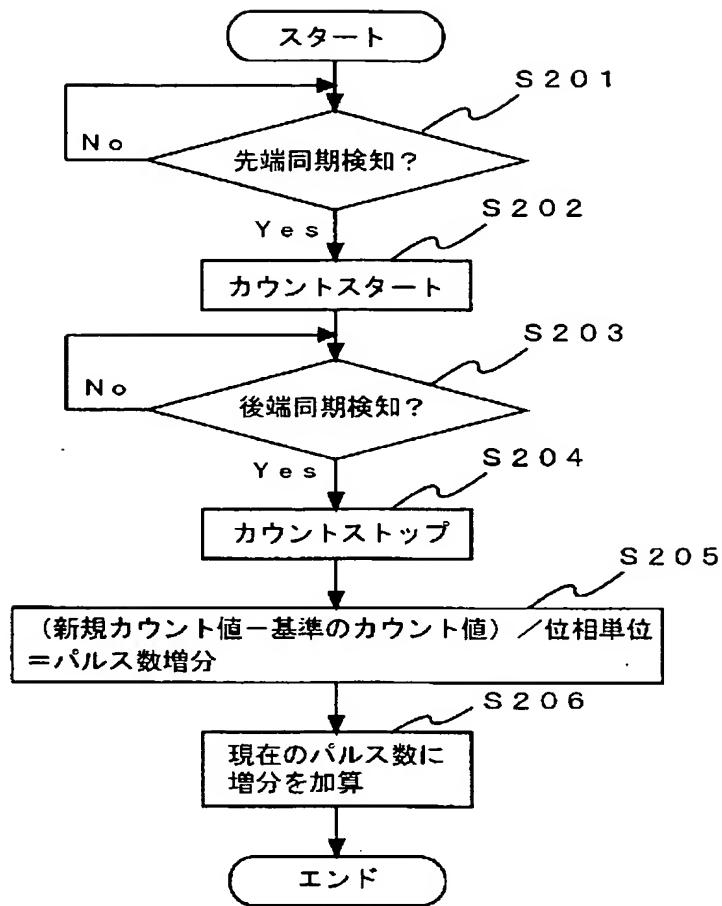
【図10】



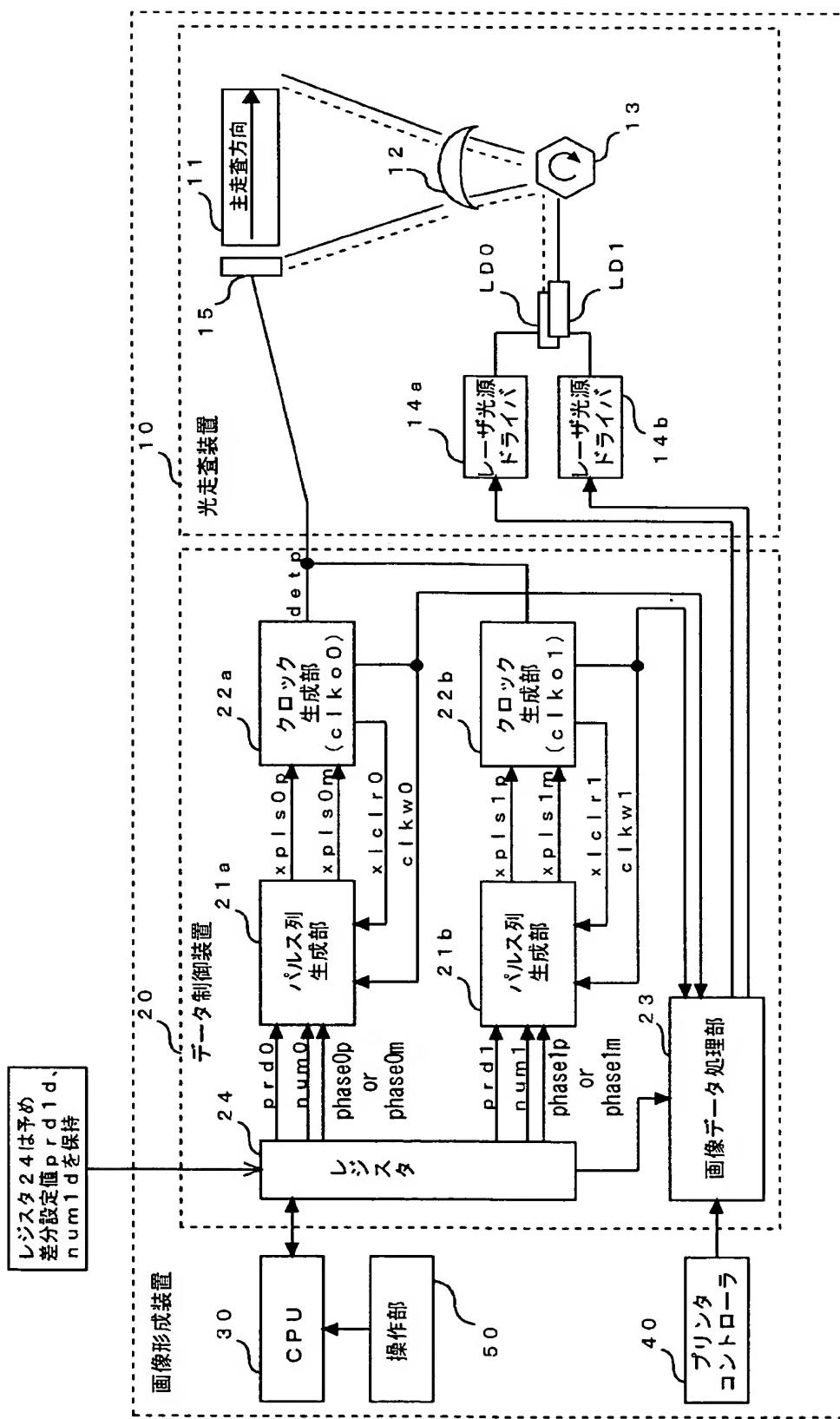
【図 1 1】



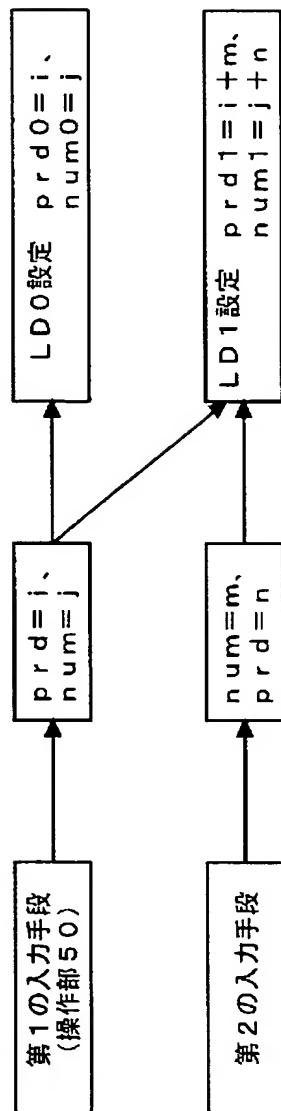
【図12】



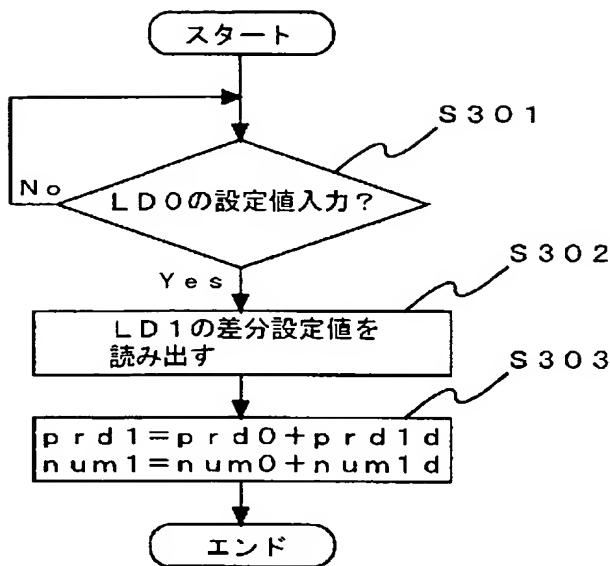
【図13】



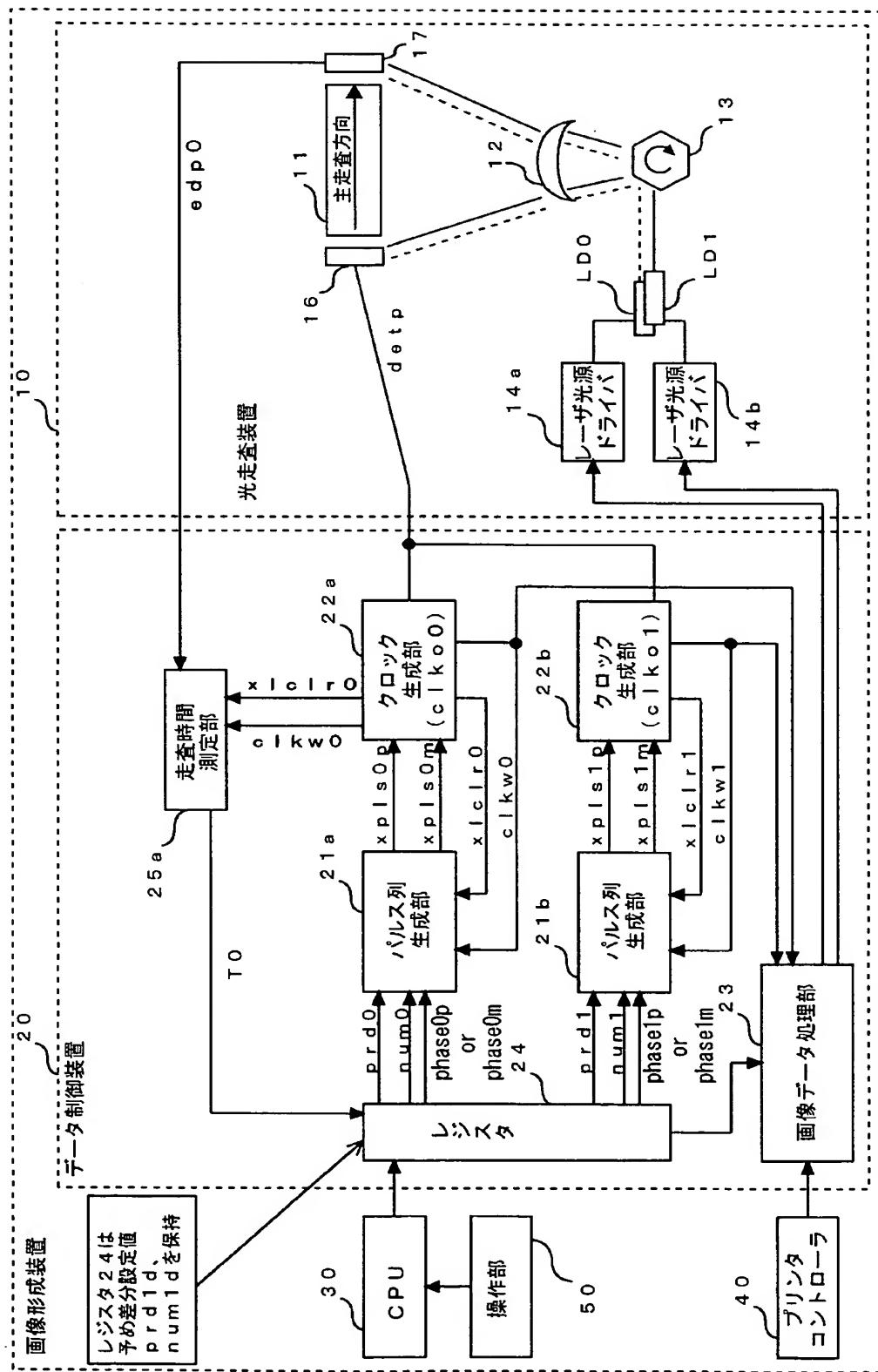
【図 14】



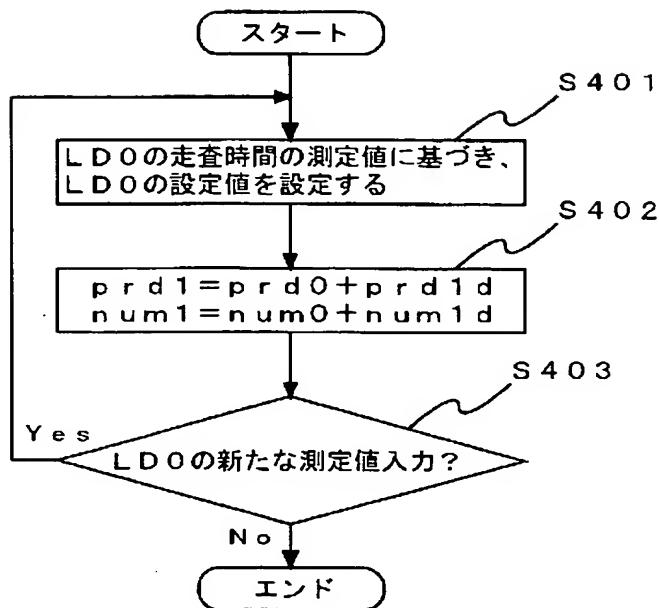
【図15】



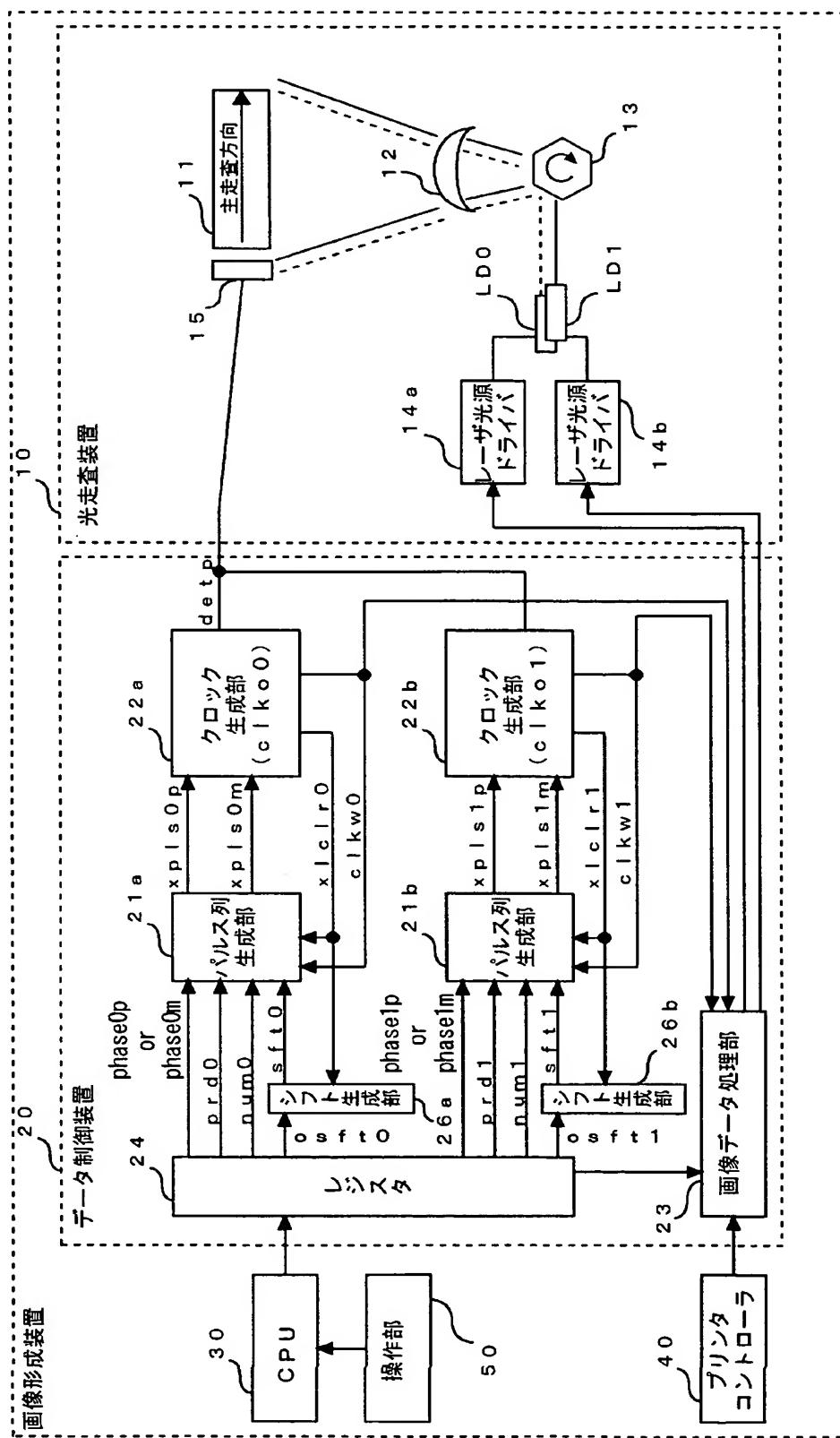
### 【図16】



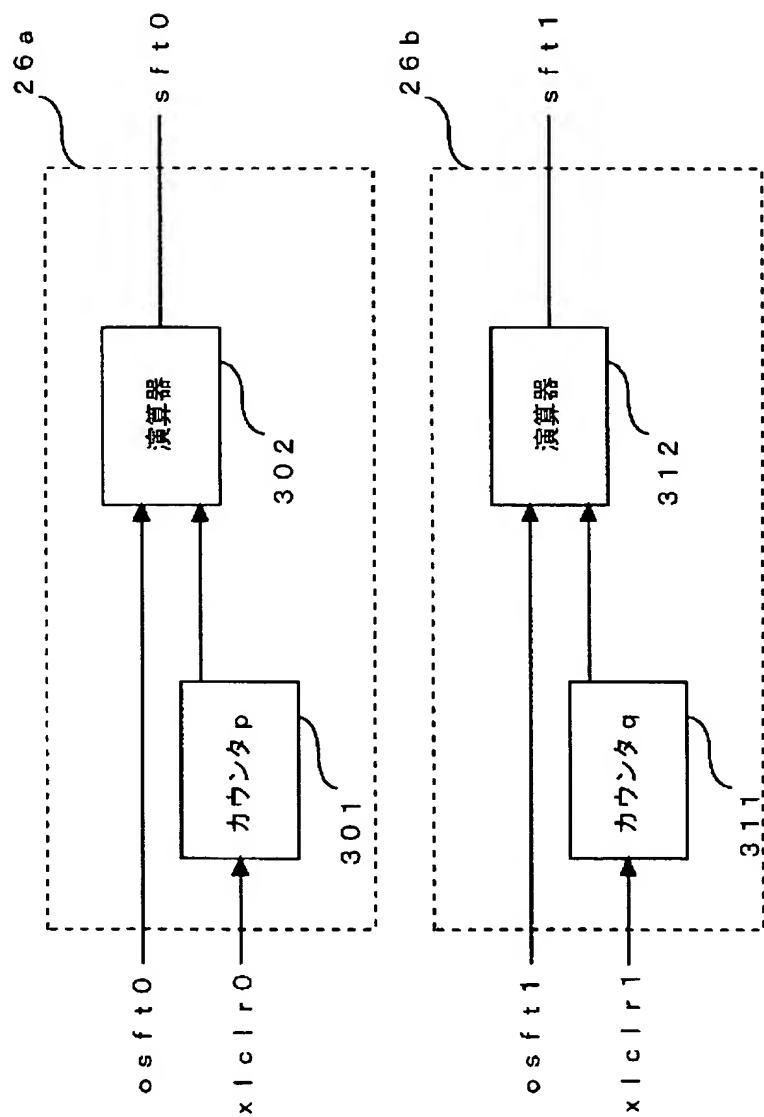
【図17】



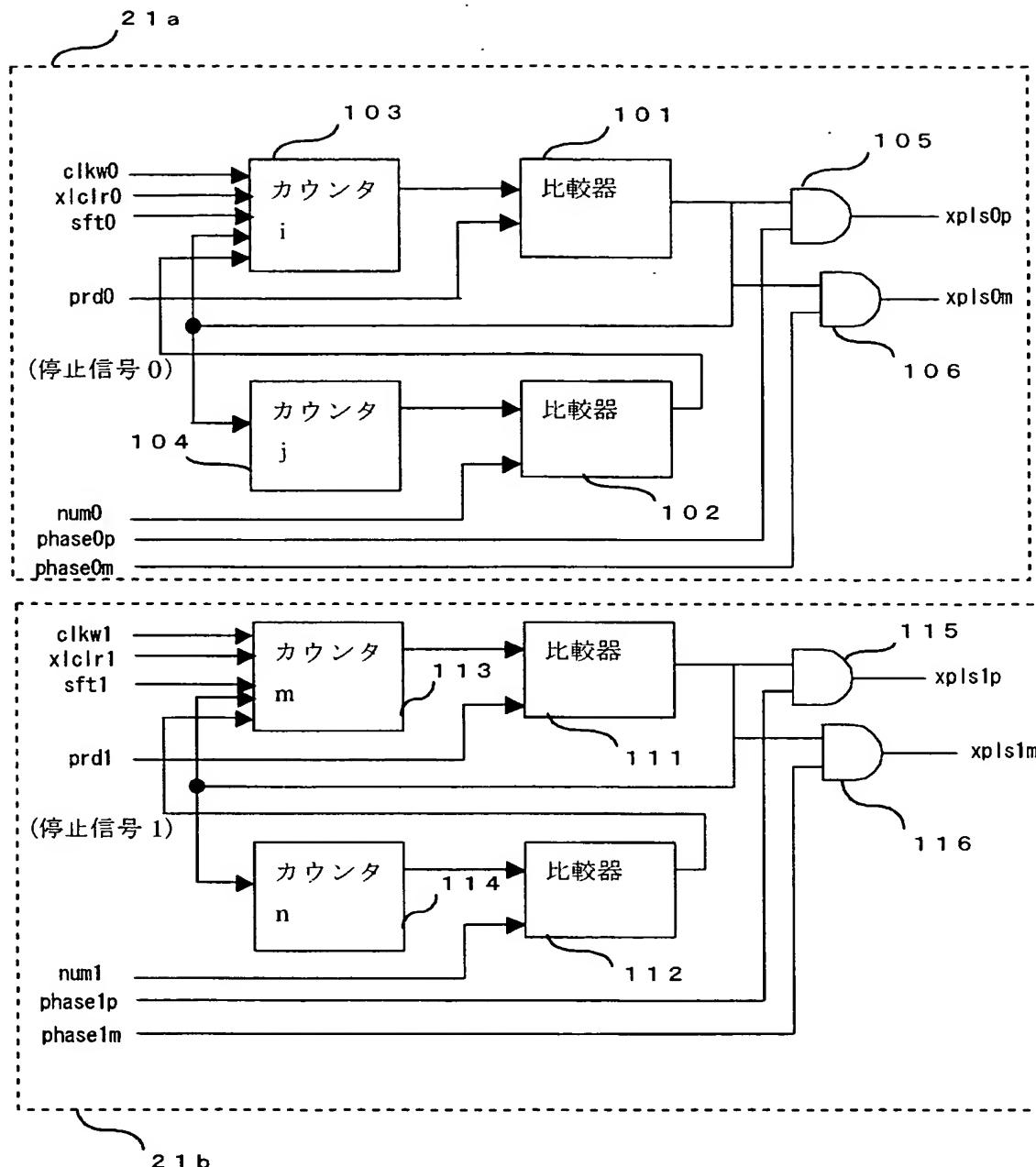
【図18】



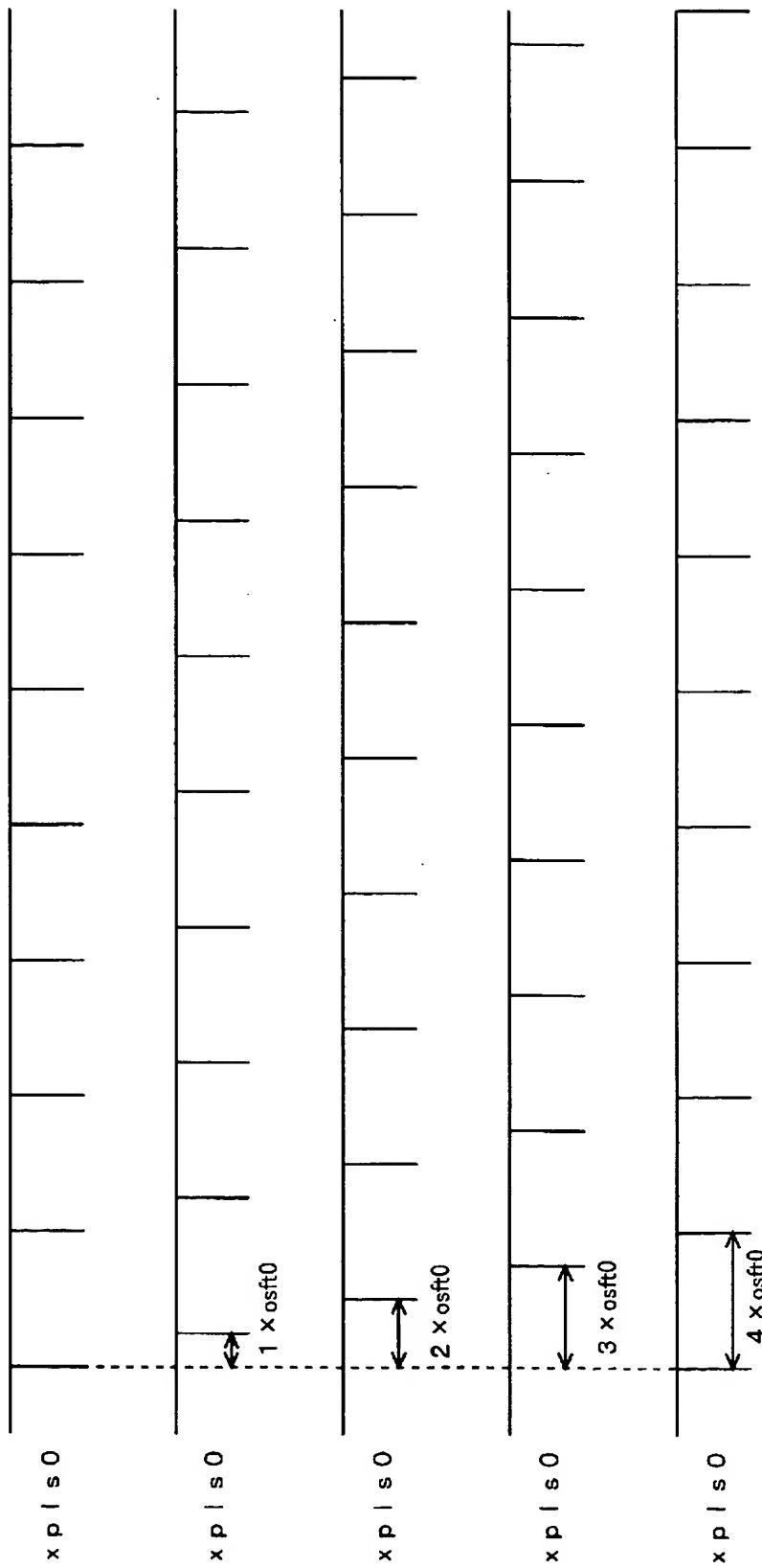
【図19】



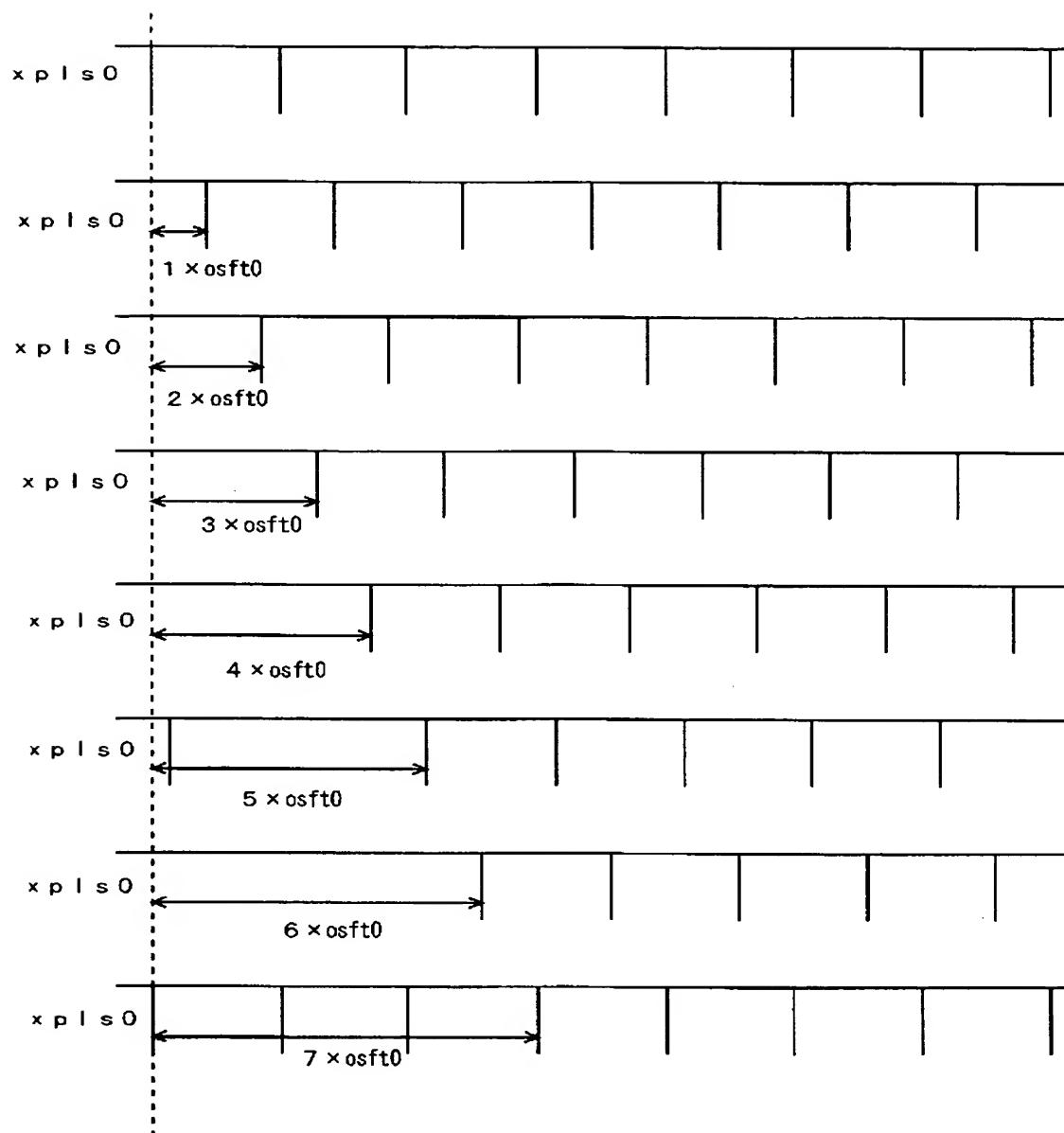
【図 20】



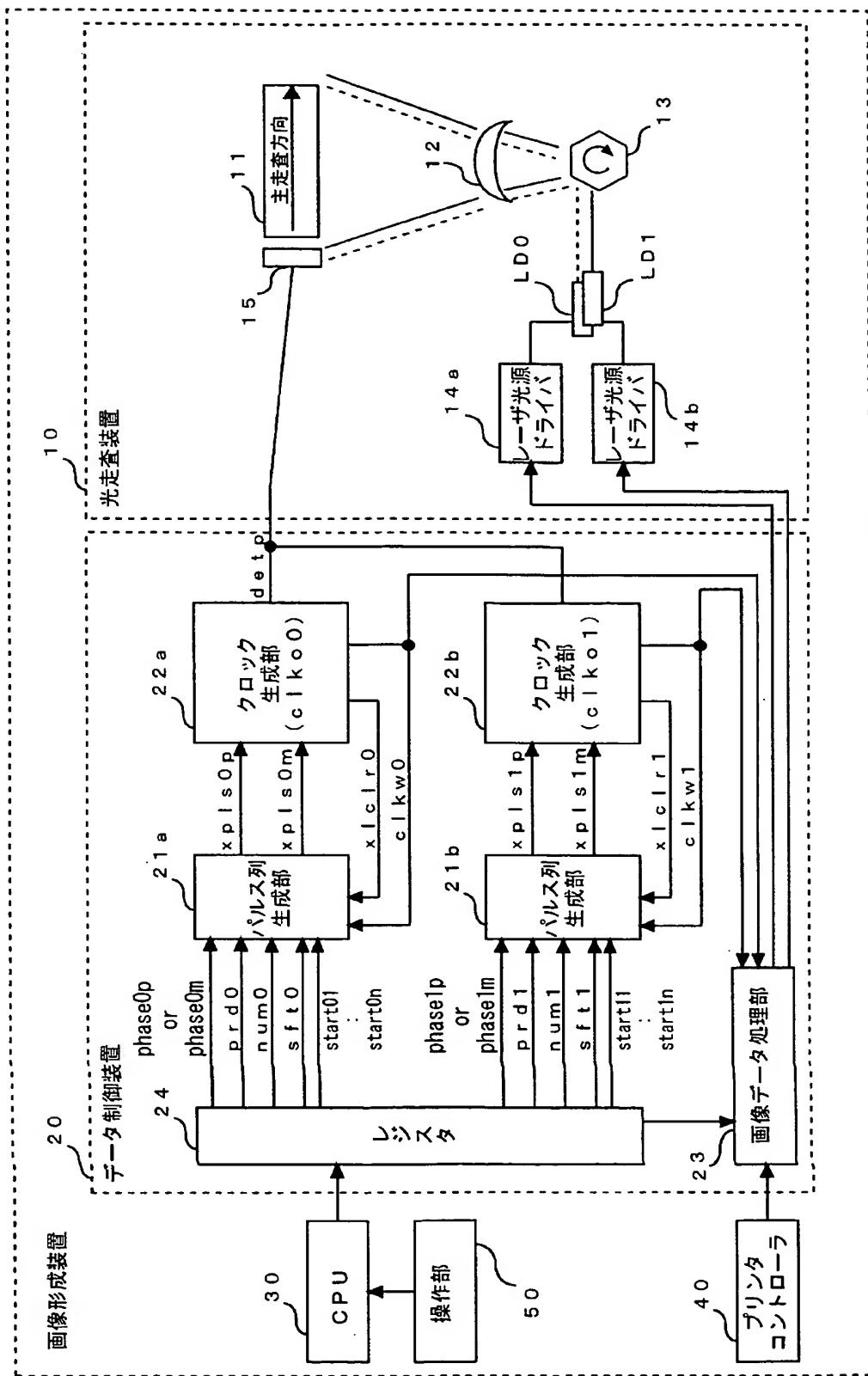
【図21】



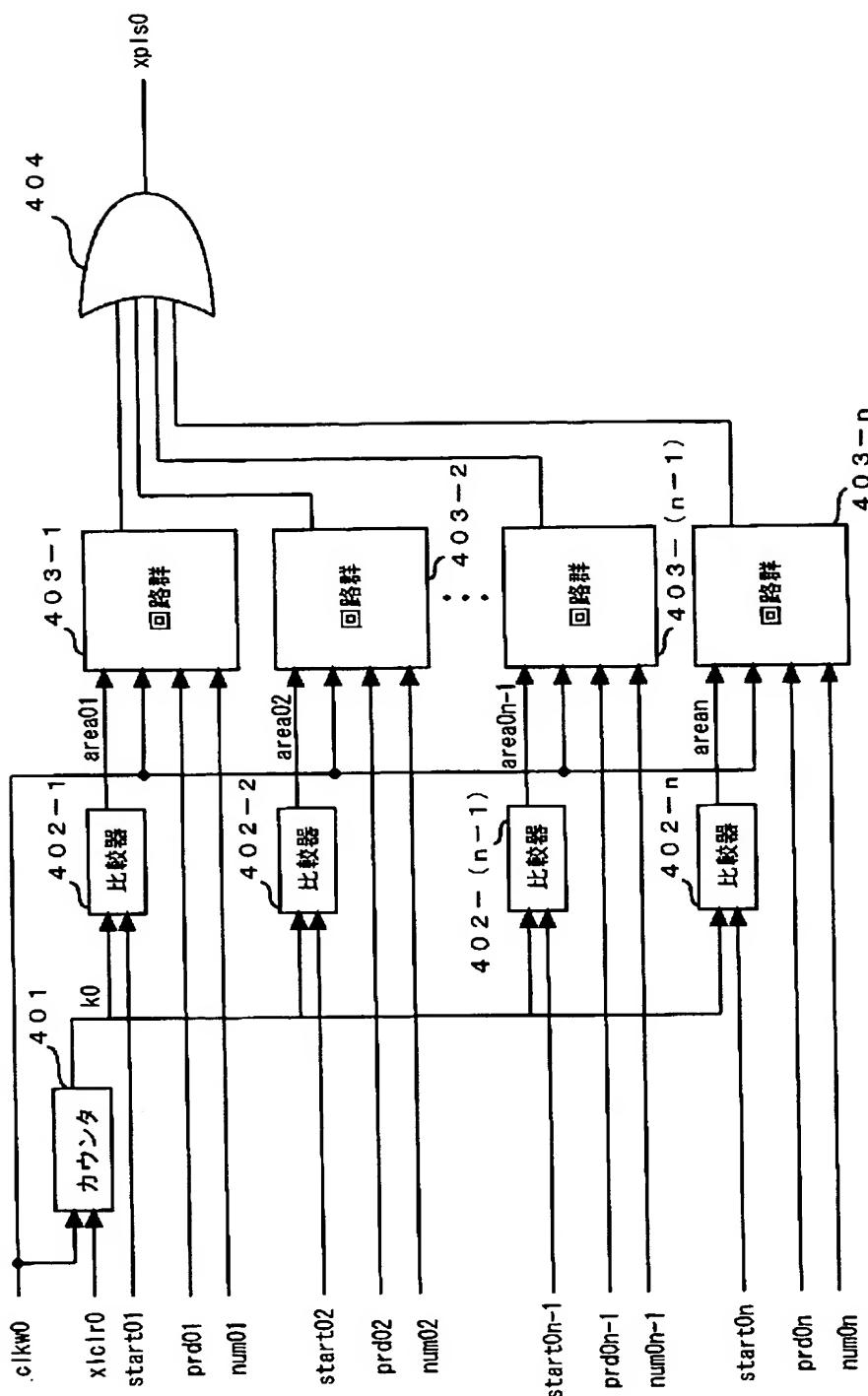
【図22】



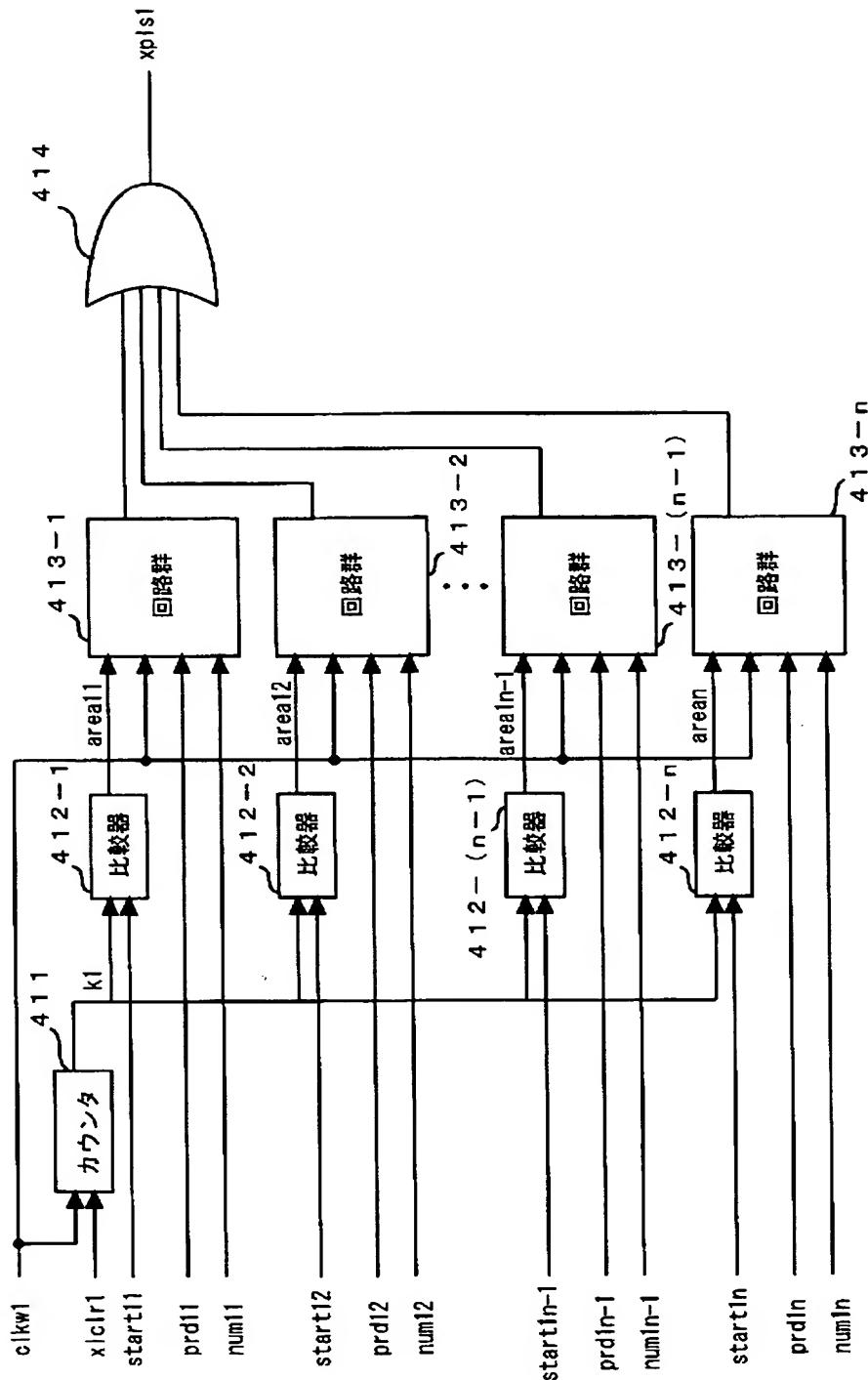
【図23】



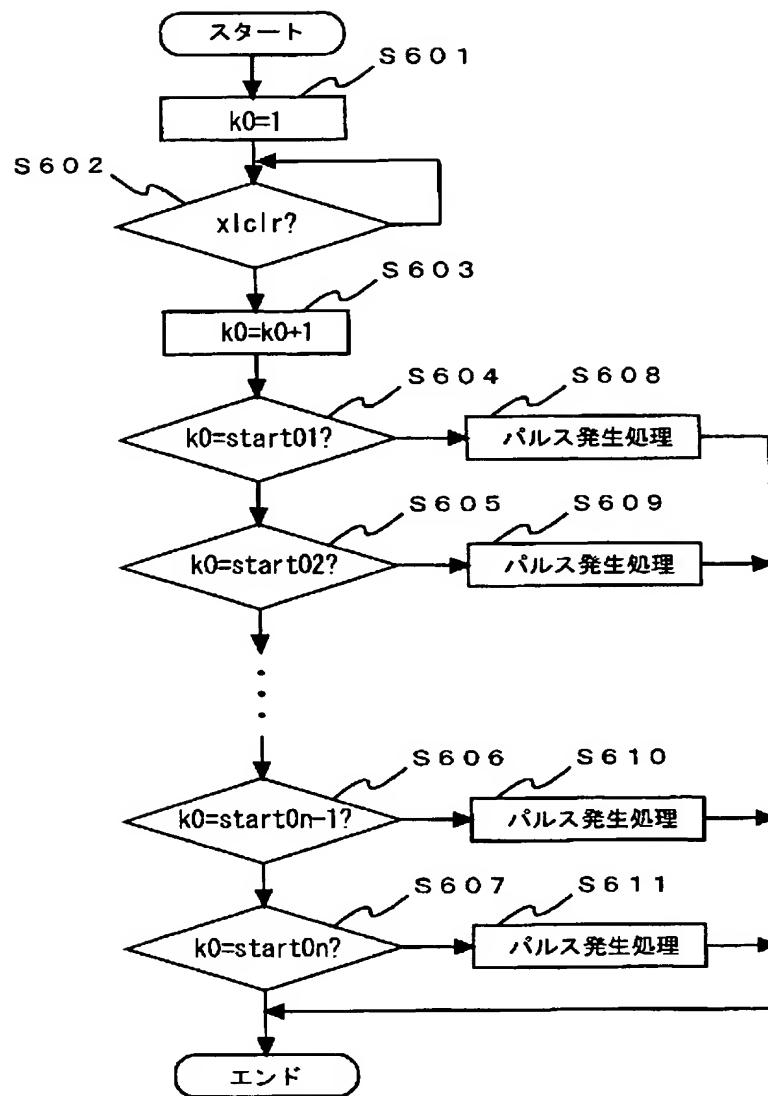
【図 24】



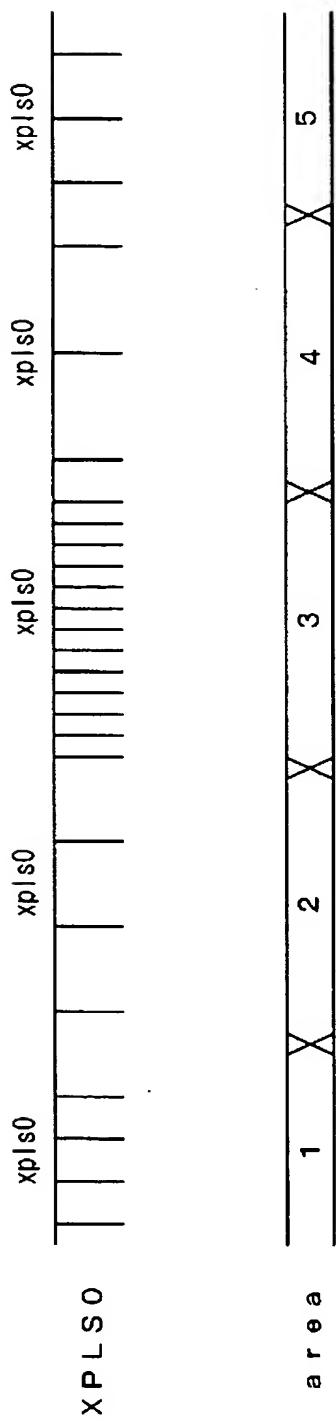
【図 25】



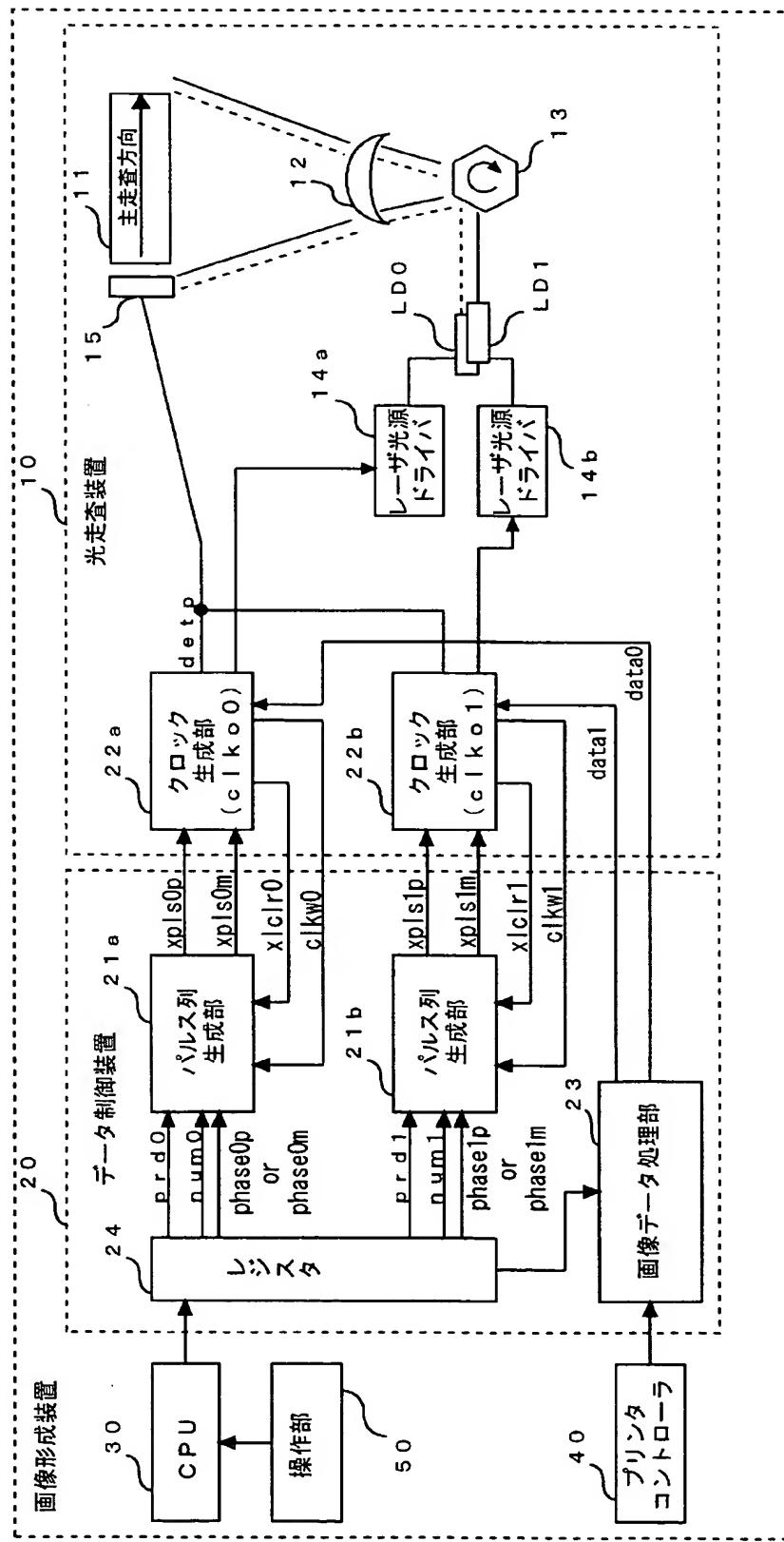
【図26】



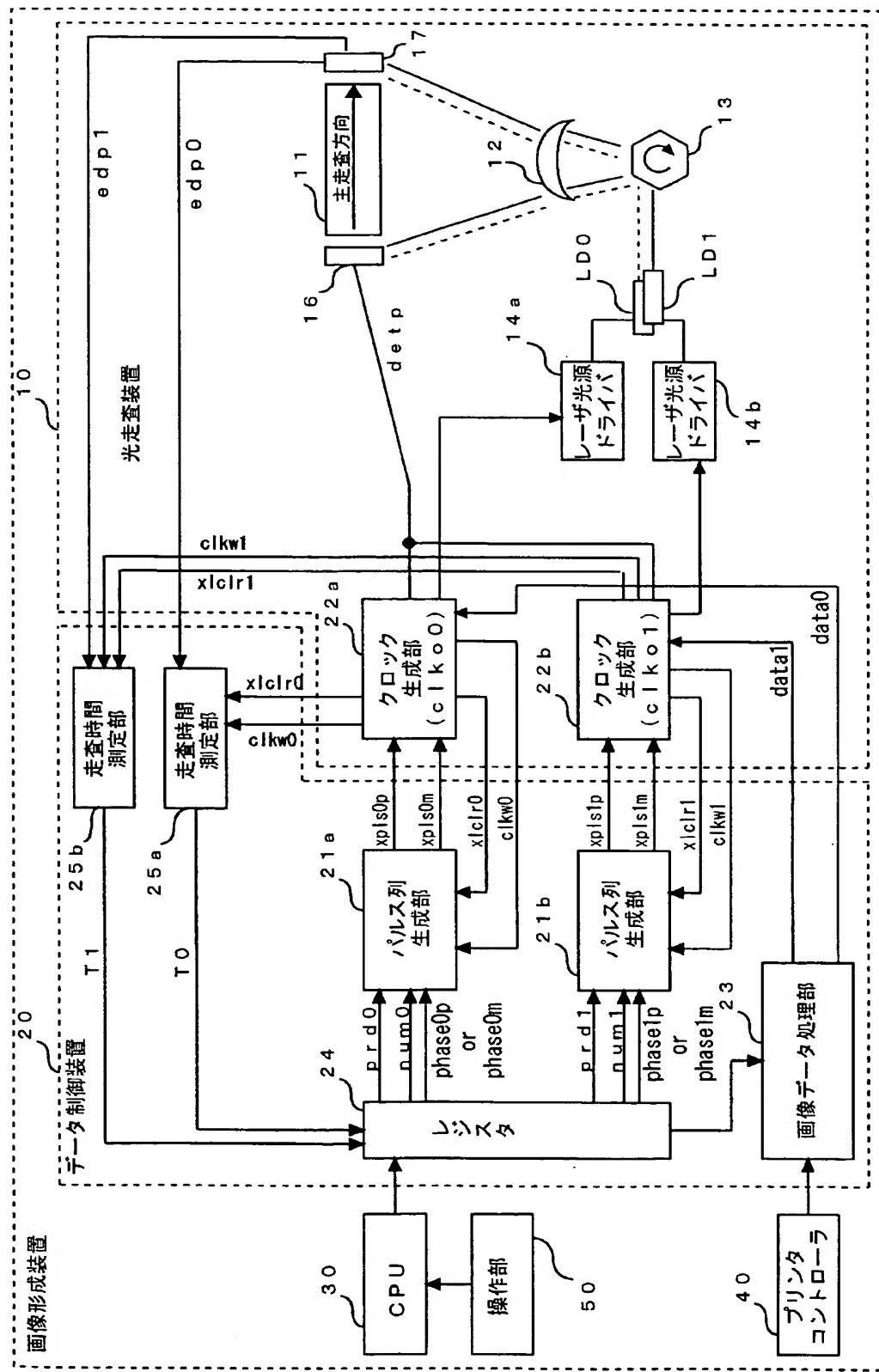
【図27】



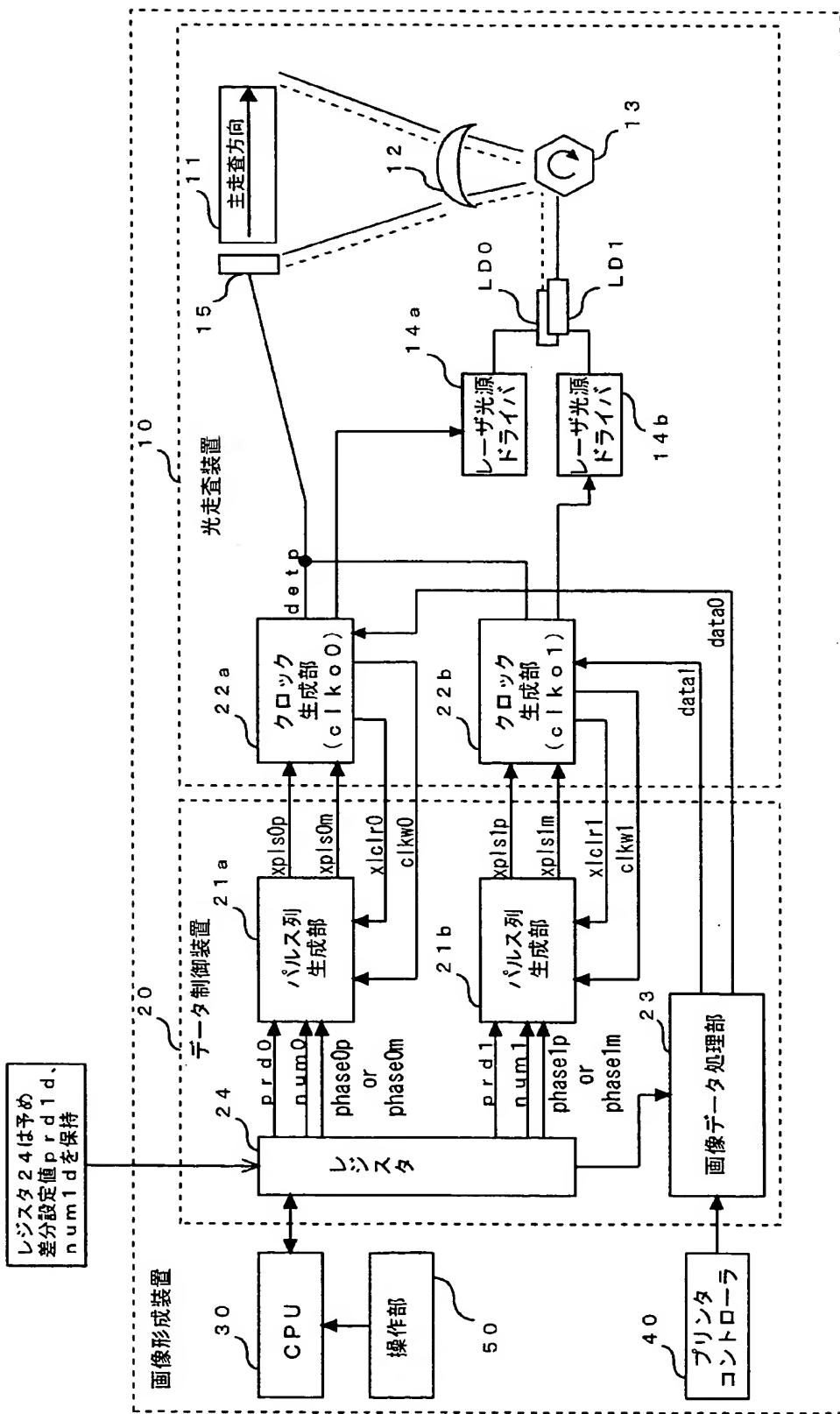
【図28】



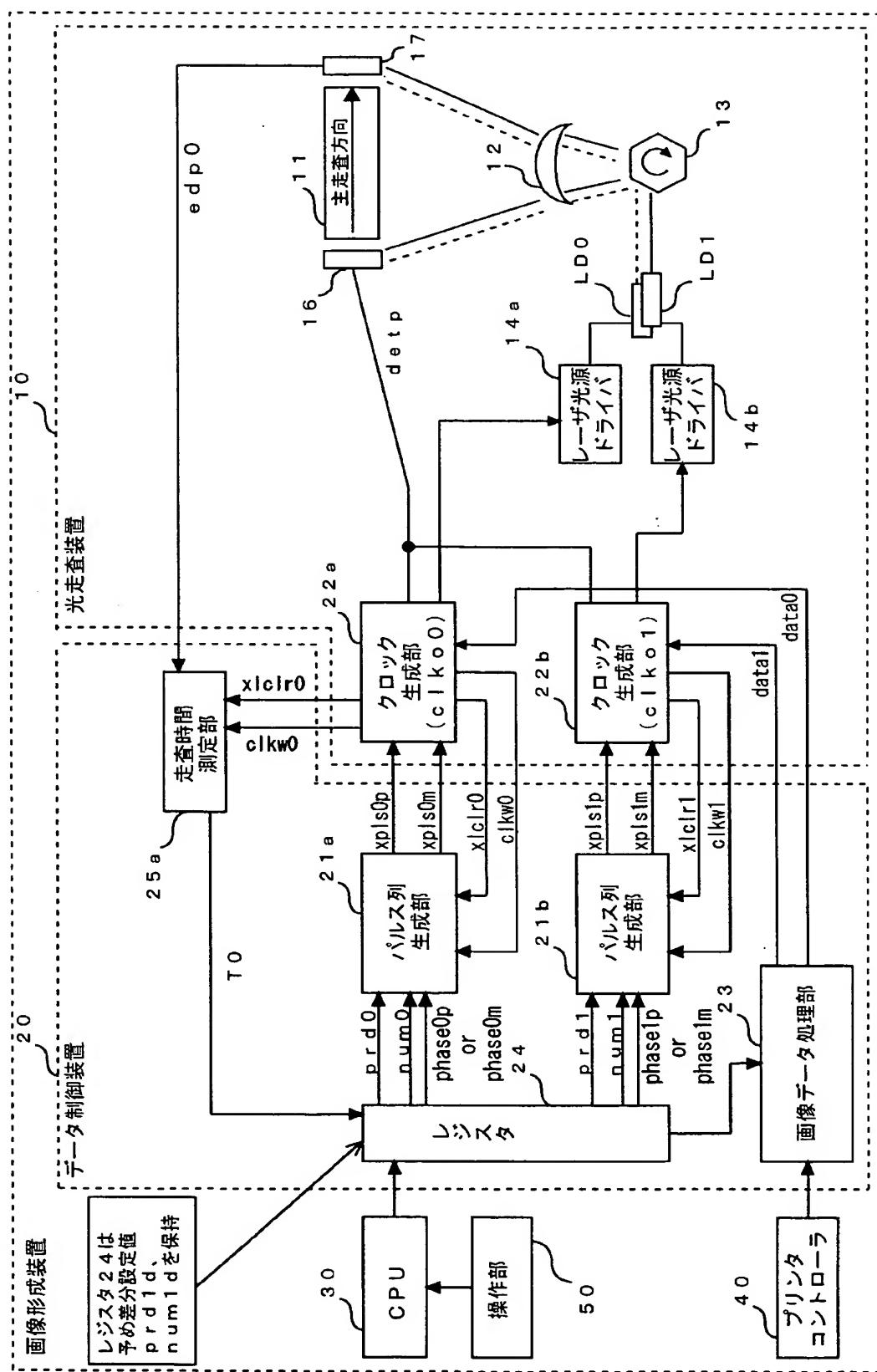
【図29】



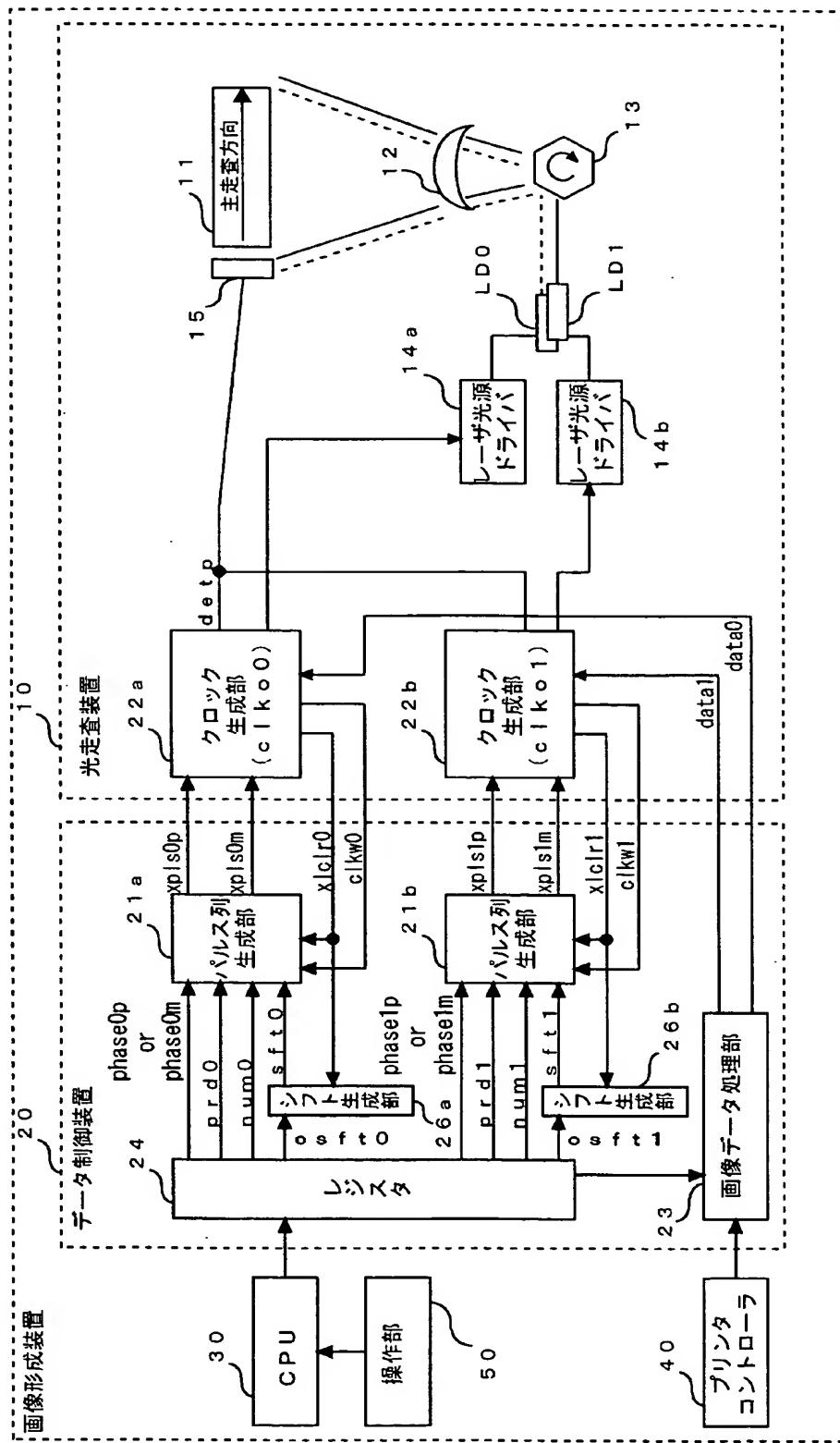
【図30】



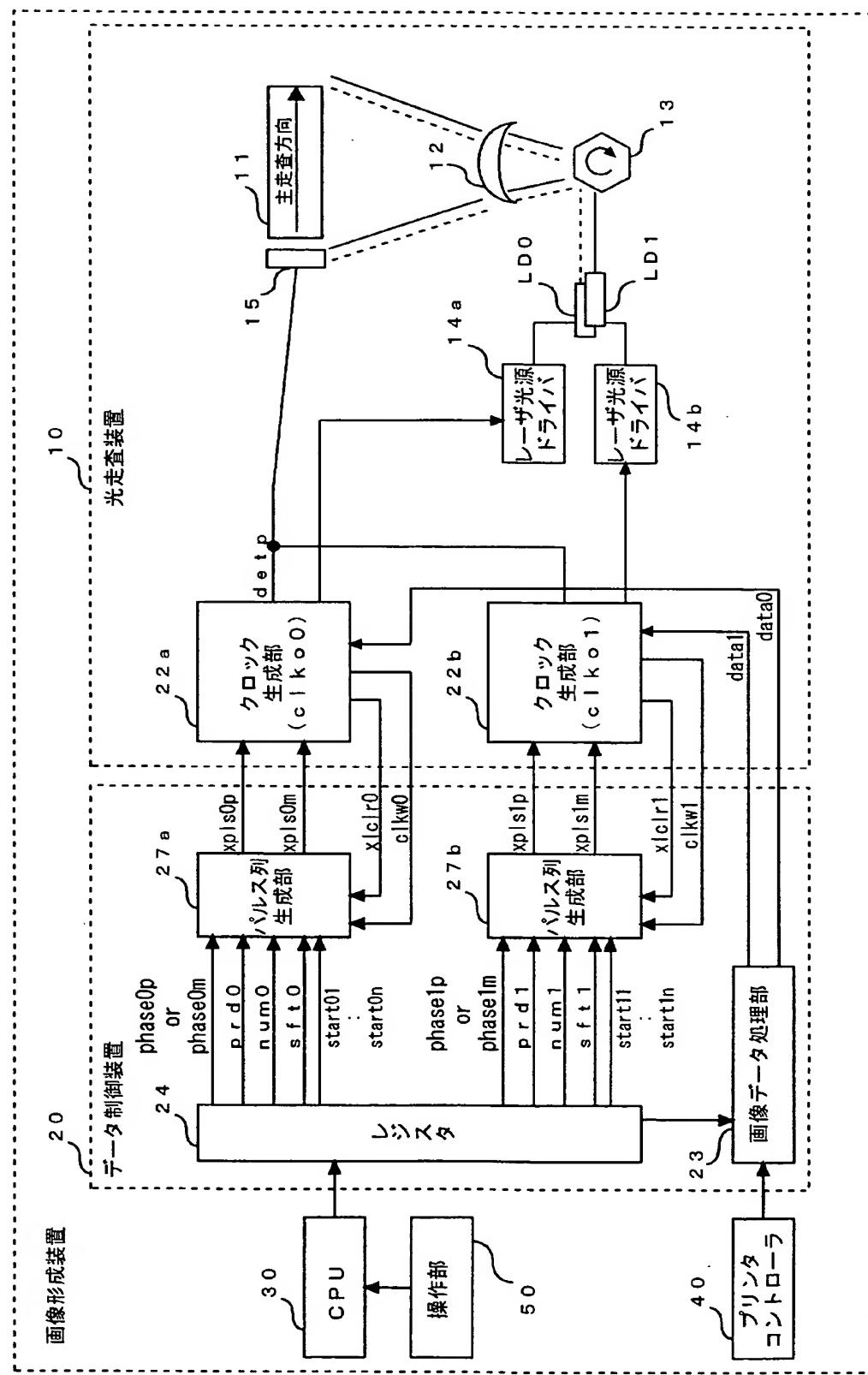
### 【図3-1】



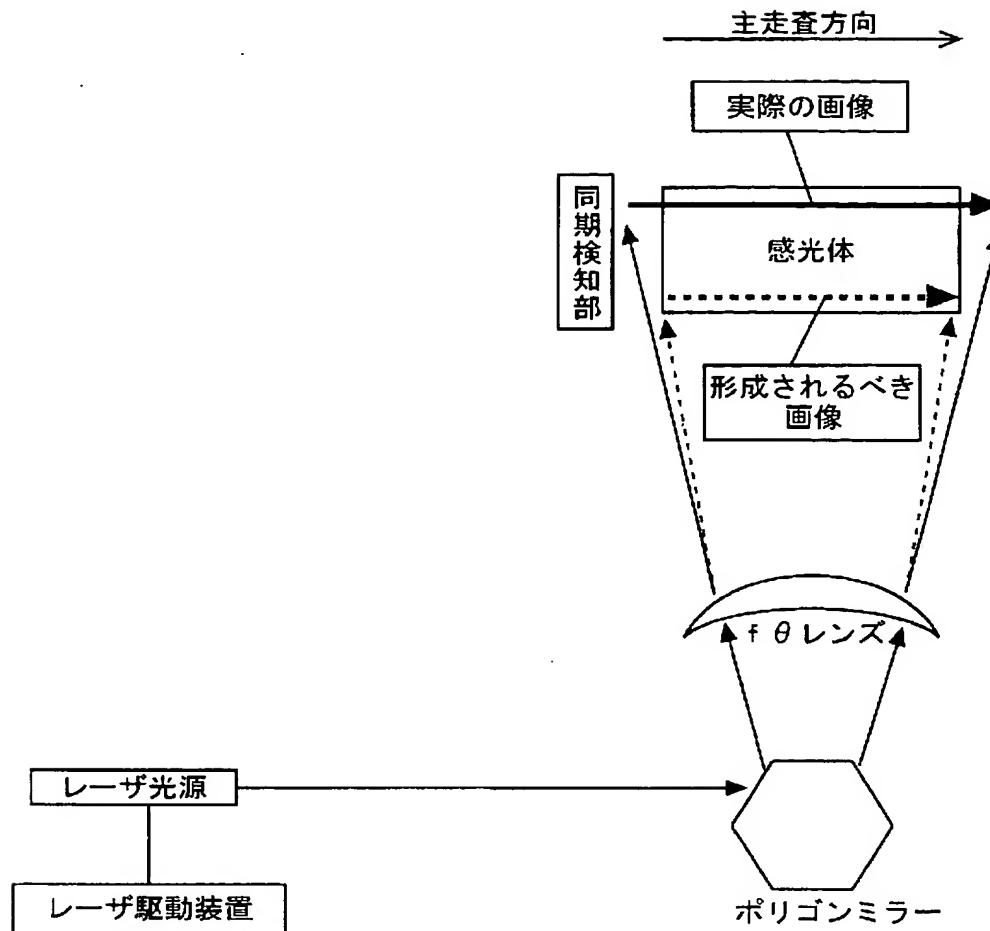
【図 3-2】



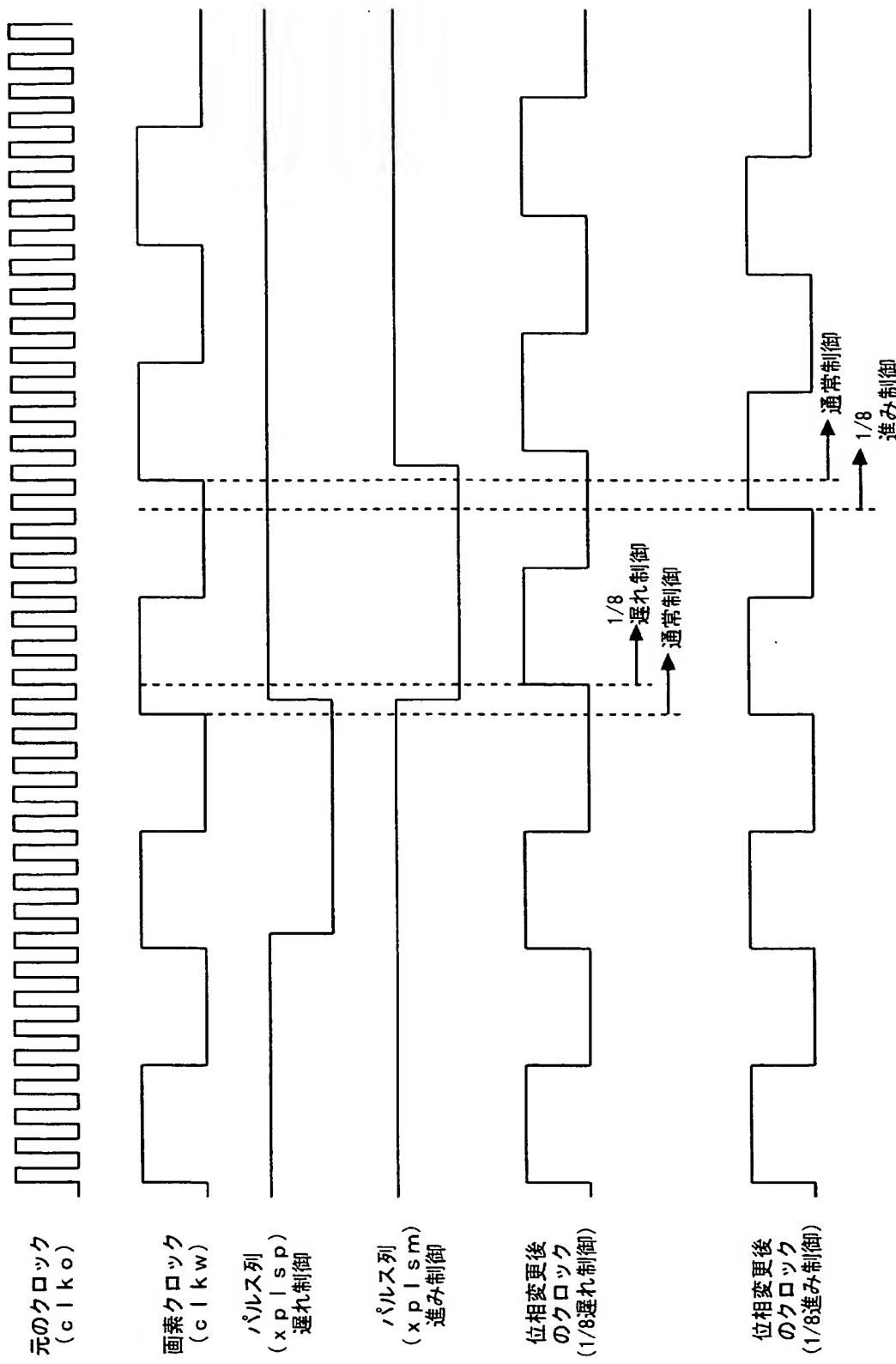
### 【図33】



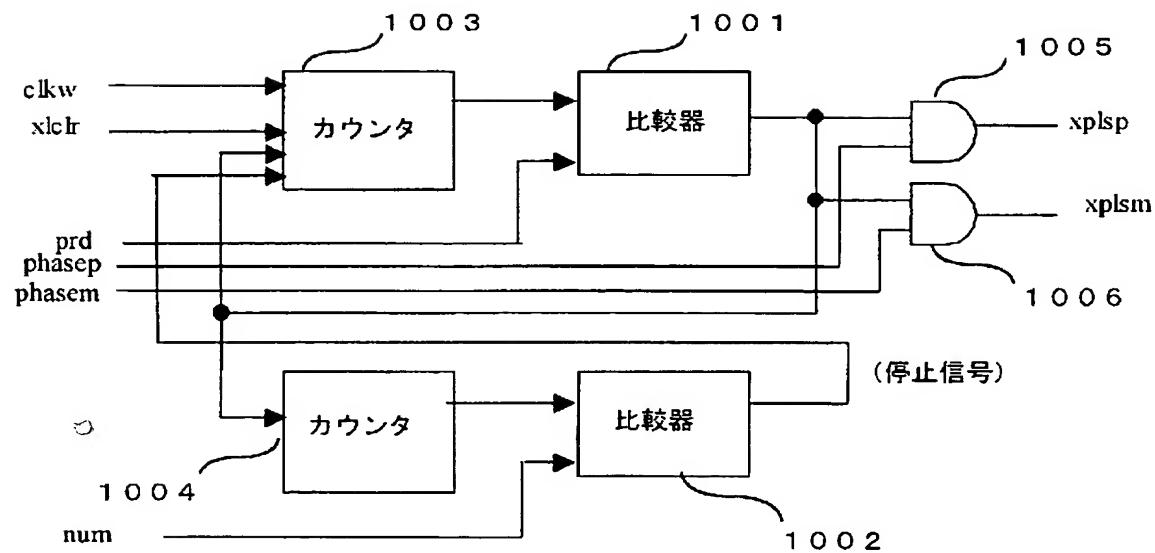
【図34】



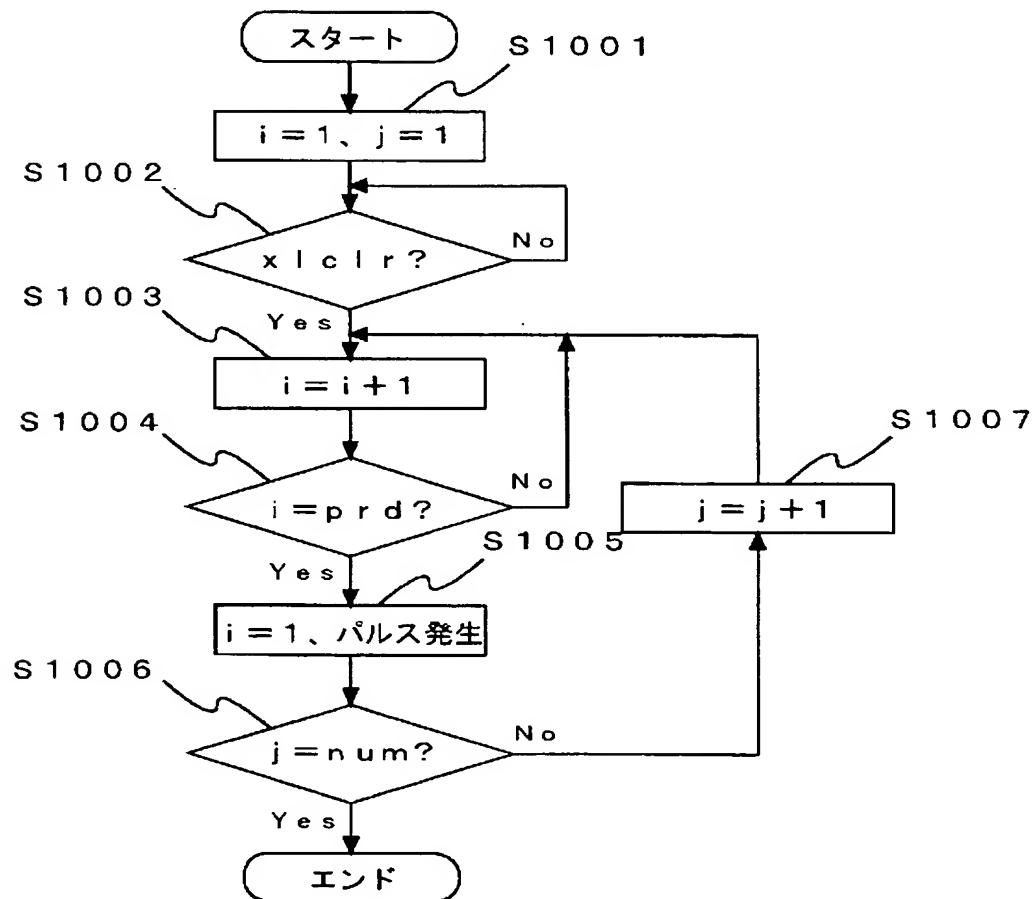
【図 35】



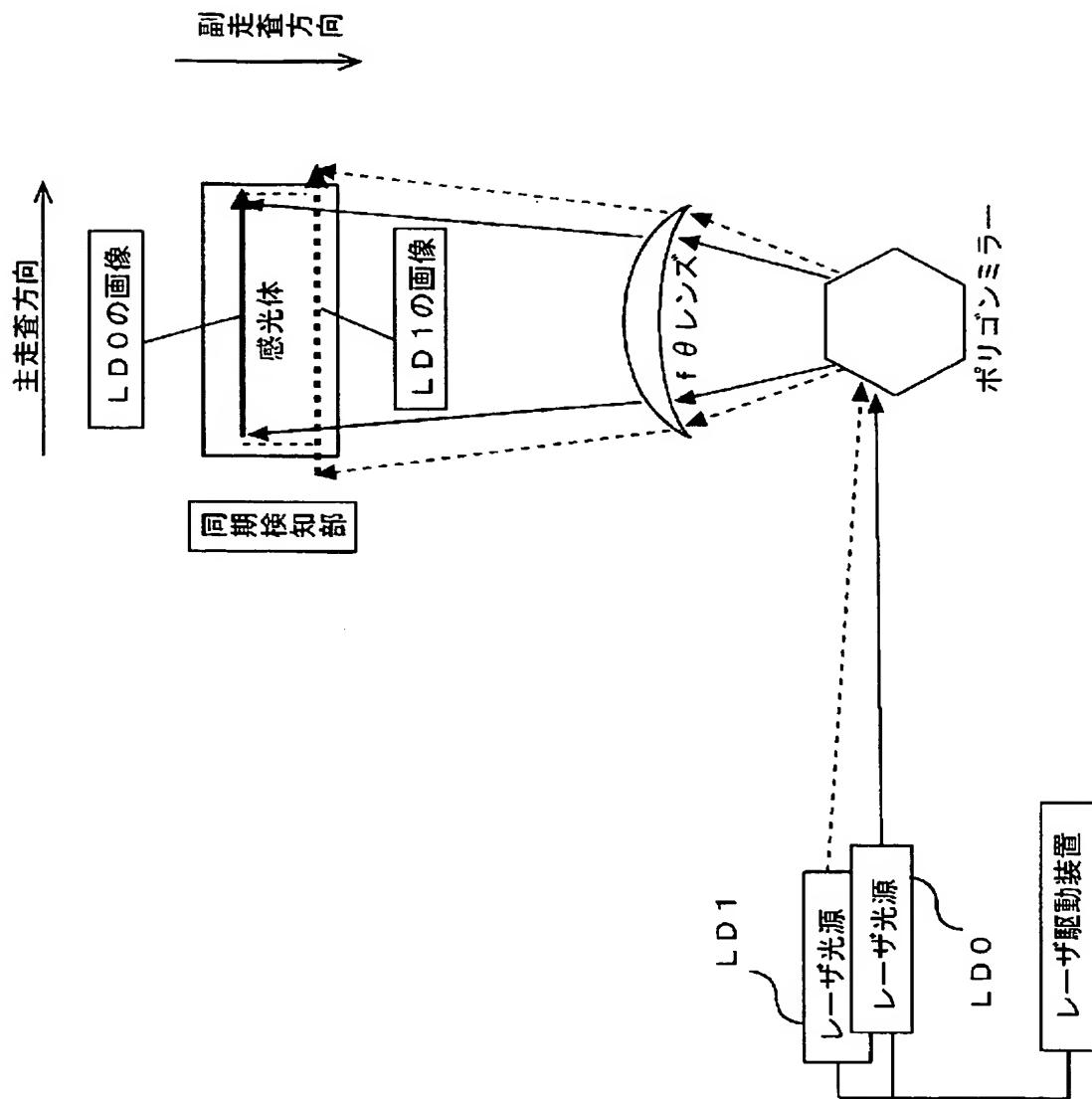
【図36】



【図37】



【図38】



【書類名】 要約書

【要約】

【課題】 複数のレーザ光源が1つの光学系および1つの像担持体を共有して画像形成する画像形成装置、光走査装置、および画像形成方法において、その複数のレーザ光源から射出されるレーザビームにより鮮明な画像を書き込むことを可能にする画像形成装置、光走査装置、および画像形成方法を提供する。

【解決手段】 クロック生成部22a、22bは、レーザ光源LD0、LD1によるレーザビームの射出タイミング制御を行うための画素クロックを、それぞれレーザ光源ごとに独立して生成するとともに、各画素クロックの位相変更を行う。パルス列生成部21a、21bは、各画素クロックの位相変更をそれぞれ独立して制御する。

【選択図】 図1

特願2003-054717

出願人履歴情報

識別番号 [000006747]

1. 変更年月日 2002年 5月17日

[変更理由] 住所変更

住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー